

BEST AVAILABLE COPY

PCT/JP2004/003208

日 本 国 特 許 庁
JAPAN PATENT OFFICE

11. 3. 2004

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 3 月 3 1 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 9 5 1 1 6
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 9 5 1 1 6]

出 願 人 財団法人大阪産業振興機構
Applicant(s):

REC'D 29 APR 2004

WIPO

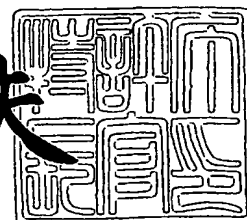
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 4 年 4 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 4 - 3 0 3 1 7 7 6

【書類名】 特許願

【整理番号】 188689

【提出日】 平成15年 3月31日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/8238
H02M 5/257

【発明者】

【住所又は居所】 和歌山県那賀郡打田町西三谷 9 3 0 近畿大学生物理工
学部内

【氏名】 秋濃 俊郎

【特許出願人】

【識別番号】 801000061

【住所又は居所】 大阪府大阪市中央区本町橋 2 番 5 号 マイドームおおさ
か内

【氏名又は名称】 財団法人大阪産業振興機構

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【選任した代理人】

【識別番号】 100101454

【弁理士】

【氏名又は名称】 山田 卓二

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0118099

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 ラティラルバイポーラCMOS集積回路

【特許請求の範囲】

【請求項1】 nチャネルMOSトランジスタとpチャネルMOSトランジスタとを含むインバータ回路であって、

該nチャネルMOSトランジスタ及び該pチャネルMOSトランジスタのゲートに接続されたゲート入力端子 V_{in} と、

該nチャネルMOSトランジスタ及び該pチャネルMOSトランジスタのドレインに接続された出力端子 V_{out} と、

該nチャネルMOSトランジスタのp型サブストレートに接続されたp型ベース端子と、

該pチャネルMOSトランジスタのn型サブストレートに接続されたn型ベース端子の4つの端子を含み、

該nチャネルMOSトランジスタが、MOSトランジスタの動作モードと、該nチャネルMOSトランジスタに内在するnpnラティラルバイポーラトランジスタの動作モードとの混合モードで動作し、

該pチャネルMOSトランジスタが、MOSトランジスタの動作モードと、該pチャネルMOSトランジスタに内在するpnpラティラルバイポーラトランジスタの動作モードとの混合モードで動作することを特徴とするラティラルバイポーラCMOS集積回路。

【請求項2】 上記インバータ回路が、上記ゲート入力端子 V_{in} 、上記p型ベース端子、及び上記n型ベース端子を入力端子とし、上記出力端子 V_{out} を出力端子とし、

該ゲート入力端子 V_{in} に入力された高レベル又は低レベルの電圧を、反転させたレベルの電圧として出力端子 V_{out} から出力するインバータ回路であることを特徴とする請求項1に記載のラティラルバイポーラCMOS集積回路。

【請求項3】 上記nチャネルMOSトランジスタの上記p型ベース端子に接続された電流源 I_{bp} と、上記pチャネルMOSトランジスタの上記n型ベース端子に接続された電流源 I_{bn} を含み、

該電流源 I_{bp} 及び該電流源 I_{bn} の電流は、上記ゲート入力端子 V_{in} への入力電圧が略一定の状態でも維持され、

該ゲート入力端子 V_{in} への入力電圧が低レベルから高レベルへにスイッチングした場合に、該スイッチングに同期して該電流源 I_{bp} から該 p 型ベース端子に順方向のパルス電流を流すとともに、

該ゲート入力端子 V_{in} への入力電圧が高レベルから低レベルへスイッチングした場合に、該スイッチングに同期して該電流源 I_{bn} から該 n 型ベース端子に順方向のパルス電流を流すことを特徴とする請求項 2 に記載のラティラルバイポーラ CMOS 集積回路。

【請求項 4】 更に、電圧源 V_{dd} と接地源 G_{nd} とを含み、

上記電流源 I_{bp} が、ソース端子、ドレイン端子及びサブストレート端子を含むプルアップ型 p チャネル MOS トランジスタであって、該ドレイン端子が上記 p 型ベース端子に接続され、該ソース端子と該サブストレート端子が該電圧源 V_{dd} に接続されたプルアップ型 p チャネル MOS トランジスタからなり、

上記電流源 I_{bn} が、ソース端子、ドレイン端子及びサブストレート端子を含むプルダウン型 n チャネル MOS トランジスタであって、該ドレイン端子が上記 n 型ベース端子に接続され、該ソース端子と該サブストレート端子が該接地源 G_{nd} に接続されたプルダウン型 n チャネル MOS トランジスタからなることを特徴とする請求項 3 に記載のラティラルバイポーラ CMOS 集積回路。

【請求項 5】 上記 n チャネル MOS トランジスタと上記 p チャネル MOS トランジスタとを含むインバータ回路を、上記 MOS トランジスタの動作モードで CMOS 標準セルとして使用し、該 CMOS 標準セルの出力に大きな負荷が接続された場合に、上記混成モードで使用することを特徴とする請求項 1～4 のいずれかに記載のラティラルバイポーラ CMOS 集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CMOS 集積回路に関し、特に、4 端子の MOS トランジスタとそれに内在するラティラル・バイポーラ・トランジスタとを混成モードで動作させ

るラティラル・バイポーラ・CMOS集積回路に関する。

【0002】

CMOS集積回路は、集積度を上げてても消費電力密度が殆ど増えないという特性を有するが、集積度が高くなるにつれて、更にチャネル長を短くしてもキャリア速度飽和効果により電流量が増えず、電流駆動力を大きくできなくなっていた。一方、CMOS集積回路の集積度が高くなると、配線RC負荷とファンアウト容量負荷が大きくなる。このため、チャネル長を短くしても電流量の増えないCMOS集積回路では、このような集積化による負荷の増大に対処できず、より電流駆動力の大きなデバイスが必要とされた。

【0003】

これに対して、MOSトランジスタと、それに内在するラティラル・バイポーラ・トランジスタとを混成モードで動作させる、DTMOS (Dynamic Threshold Voltage MOS) トランジスタが提案されている。DTMOSトランジスタでは、MOSトランジスタのnチャネルゲート端子への入力電圧の印加は、内在するnpnトランジスタのベース・エミッタ接合（ベース・ソース接合）での順方向電圧の印加に相当する。即ち、ゲート電圧に依存してベース電流が流れ、これを電流増幅率倍した大きなコレクタ電流が得られ、電流駆動力を大きくできる（例えば、非特許文献1）。

【0004】

【非特許文献1】

F. Assaderaghi et al., "A Dynamic Threshold Voltage MOSFET (DTMOS) for Very Low Voltage Operation," IEEE Electron Device Letters, vol. 15, pp.510-512, December 1994

【0005】

【発明が解決しようとする課題】

しかしながら、DTMOSトランジスタでは、以下のような問題があった。即ち、V_{dd}を0.7V以上とした場合、ベース・エミッタ間に指数関数的な順方向電流が流れるため、動作が異常となり使用できない。また、V_{dd}を0.7Vとしても、大きな電力を消費してしまう。更に、V_{dd}を0.7V以下とすると

、電流駆動力が低下するとともに、無視できない程度の順方向電流が流れてしまう。

【0006】

そこで、本発明は、高速動作が可能で、かつ低エネルギーのCMOS集積回路の提供を目的とする。

【0007】

【課題を解決するための手段】

本発明は、nチャネルMOSトランジスタとpチャネルMOSトランジスタとを含むインバータ回路であって、

該nチャネルMOSトランジスタ及び該pチャネルMOSトランジスタのゲートに接続されたゲート入力端子 V_{in} と、

該nチャネルMOSトランジスタ及び該pチャネルMOSトランジスタのドレインに接続された出力端子 V_{out} と、

該nチャネルMOSトランジスタのp型サブストレートに接続されたp型ベース端子と、

該pチャネルMOSトランジスタのn型サブストレートに接続されたn型ベース端子の4つの端子を含み、

該nチャネルMOSトランジスタが、MOSトランジスタの動作モードと、該nチャネルMOSトランジスタに内在するnpnラティラルバイポーラトランジスタの動作モードとの混合モードで動作し、

該pチャネルMOSトランジスタが、MOSトランジスタの動作モードと、該pチャネルMOSトランジスタに内在するpnpラティラルバイポーラトランジスタの動作モードとの混合モードで動作することを特徴とするラティラルバイポーラCMOS集積回路である。

従来の3端子のDTMOSは、消費電力が大きく、 V_{dd} が0.7V以上で使えないという問題点を有する一方で、ラティラル・バイポーラ・トランジスタ動作の電流駆動力により極めて高速であるという優れた特徴を持っていた。そこで、本発明は、その駆動力を活用する立場で、SOIを前提としたMOSトランジスタと、構造的に内在するラティラル・バイポーラ・トランジスタとを、混成し

た4端子素子として扱う集積回路を提供するものである。

【0008】

また、本発明は、上記インバータ回路が、上記ゲート入力端子 V_{in} 、上記p型ベース端子、及び上記n型ベース端子を入力端子とし、上記出力端子 V_{out} を出力端子とし、

該ゲート入力端子 V_{in} に入力された高レベル又は低レベルの電圧を、反転させたレベルの電圧として出力端子 V_{out} から出力するインバータ回路であることを特徴とするラティラルバイポーラCMOS集積回路でもある。

【0009】

また、本発明は、上記nチャネルMOSトランジスタの上記p型ベース端子に接続された電流源 I_{bp} と、上記pチャネルMOSトランジスタの上記n型ベース端子に接続された電流源 I_{bn} とを含み、

該電流源 I_{bp} 及び該電流源 I_{bn} の電流は、上記ゲート入力端子 V_{in} への入力電圧が略一定の状態で0に維持され、

該ゲート入力端子 V_{in} への入力電圧が低レベルから高レベルへにスイッチングした場合に、該スイッチングに同期して該電流源 I_{bp} から該p型ベース端子に順方向のパルス電流を流すとともに、

該ゲート入力端子 V_{in} への入力電圧が高レベルから低レベルへスイッチングした場合に、該スイッチングに同期して該電流源 I_{bn} から該n型ベース端子に順方向のパルス電流を流すことを特徴とするラティラルバイポーラCMOS集積回路でもある。

【0010】

更に、本発明は、電圧源 V_{dd} と接地源 G_{nd} とを含み、

上記電流源 I_{bp} が、ソース端子、ドレイン端子及びサブストレート端子を含むプルアップ型pチャネルMOSトランジスタであって、該ドレイン端子が上記p型ベース端子に接続され、該ソース端子と該サブストレート端子が該電圧源 V_{dd} に接続されたプルアップ型pチャネルMOSトランジスタからなり、

上記電流源 I_{bn} が、ソース端子、ドレイン端子及びサブストレート端子を含むプルダウン型nチャネルMOSトランジスタであって、該ドレイン端子が上記

n 型ベース端子に接続され、該ソース端子と該サブストレート端子が該接地源 Gnd に接続されたプルダウン型 n チャネル MOS トランジスタからなることを特徴とするラティラルバイポーラ CMOS 集積回路でもある。

【0011】

更に、本発明は、上記 n チャネル MOS トランジスタと上記 p チャネル MOS トランジスタとを含むインバータ回路を、上記 MOS トランジスタの動作モードで CMOS 標準セルとして使用し、該 CMOS 標準セルの出力に大きな負荷が接続された場合に、上記混成モードで使用することを特徴とするラティラルバイポーラ CMOS 集積回路でもある。

【0012】

【発明の実施の形態】

図 1 は、全体が 100 で表される、本実施の形態にかかるラティラルバイポーラ CMOS (Lateral Bipolar CMOS) インバータ回路 (以下、「LBCMOS」と記載する。) 装置の断面の概略図である。

LBCMOS 100 は、シリコン基板 1 を含む。シリコン基板 1 の上には、酸化シリコンの埋め込み酸化膜 2 を介して n チャネル MOS トランジスタ 10 と p チャネル MOS トランジスタ 20 とが設けられている。

n チャネル MOS トランジスタ 10 は、p 型サブストレート領域 11 とその両側に設けられた n 型ソース領域 12、n 型ドレイン領域 13 を有する。これらの領域 11、12、13 は、シリコンから形成される。p 型サブストレート領域 11 は、部分的空乏層 14 が生じる膜厚、および不純物濃度に設計される。

p 型サブストレート領域 11 の上には、酸化シリコンからなるゲート絶縁膜 15 を介して多結晶シリコンからなるゲート電極 16 が設けられている。ゲート電極 16 に電圧を印加することにより、p 型サブストレート領域 11 に n チャネル (反転層) 17 が形成される。

【0013】

更に、埋め込み酸化膜 2 の上には、p チャネル MOS トランジスタ 20 が設けられる。p チャネル MOS トランジスタ 20 は、n チャネル MOS トランジスタ 10 とほぼ同じ構造を有する。埋め込み酸化膜 2 上に、n 型サブストレート領域

21とそれを挟むp型ソース領域22、p型ドレイン領域23を有し、更に、n型サブストレート領域21の上には、ゲート絶縁膜25を介してゲート電極26が設けられている。n型サブストレート領域21には、部分的空乏層24が形成されるとともに、ゲート電極26に電圧を印加することによりpチャネル27が形成される。

【0014】

なお、LBCMOSの作製には、シリコン基板1、埋め込み酸化膜2およびシリコン膜からなるSOI (Silicon On Insulator) 基板を用いることが好ましい。

【0015】

図1から明らかなように、例えば、nチャネルMOSトランジスタ10は、一般的なMOSトランジスタ構造を有すると共に、n型ソース領域12、部分的空乏層14以外のp型サブストレート領域11、n型ドレイン領域13が、内在したnpn構造のラティラル・バイポーラ・トランジスタとなっている。

このように、nチャネルMOSトランジスタ10は、MOSトランジスタの動作モードと、バイポーラトランジスタの動作モードが混ったモード（混成モード）で動作する。これは、pチャネルMOSトランジスタ20についても同様である。なお、混成モードの詳細については後述する。

【0016】

図2は、全体が200で表される、本実施の形態にかかるラティラル・バイポーラ・CMOSインバータ回路（LBCMOS）の等価回路図である。LBCMOS 200では、nチャネルMOSトランジスタ210とpチャネルMOSトランジスタ220が、CMOSインバータ構造となるように接続されている。即ち、両トランジスタ210、220のゲート、ドレインが、それぞれ、入力端子 V_{in} 、出力端子 V_{out} に接続されている。また、pチャネルMOSトランジスタ220のソースが電圧源 V_{dd} に、nチャネルMOSトランジスタ210のソースが接地源 G_{nd} に、それぞれ接続されている。

LBCMOS 200は、更に、2つの電流源 $I_{bn}230$ 、 $I_{bp}240$ を含む。電流源 $I_{bn}230$ は、pチャネルMOSトランジスタ220のn型サブス

トレート領域（ベース）に接続されたサブストリート端子（S u b）に接続され、かかるサブストリート端子に順方向電流を流す。一方、電流源 I b p 240 は、nチャネルMOSトランジスタ10のp型サブストリート領域（ベース）に接続されたサブストリート端子（S u b）との間に接続され、同じくサブストリート端子に順方向電流を流す。

【0017】

図3は、LBCMOS200に含まれ、内在するnpnラティラル・バイポーラ・トランジスタと混成した動作を行う4端子のnチャネルMOSトランジスタ210の等価回路図である。このトランジスタを、nチャネルLBMOS素子と呼ぶ。また、図4は、4端子のpチャネルMOSトランジスタ220の等価回路図である。

【0018】

図3、4から明らかなように、MOSトランジスタ210、220のソース、ドレインは、内在するバイポーラトランジスタのエミッタ、コレクタを兼ねている。また、バイポーラトランジスタのベース領域には、サブストリート（ベース）端子が接続されている。

【0019】

図5は、LBCMOS200のレイアウト図である。

LBCMOS200において、チャンネル幅は、 λ デザインルールで、nチャネルの最小幅： $W_n = 6\lambda$ と pチャネルの最小幅： $W_p = 12\lambda$ である。例えば、 $\lambda = 0.175\mu\text{m}$ とすると、最小寸法が、 $W_n = 1.05\mu\text{m}$ 、 $W_p = 2.1\mu\text{m}$ となる。

図5では、電流源 I b p、I b n の入力端子をサブストリート・コンタクトで示し、nウエルとpウエルの分離間隔は 6λ と仮定した。

【0020】

図6は、LBCMOSを混成モードで動作させる場合の、入力端子 V i n に対する入力電圧と、電流源 I b p、I b n から供給される電流の波形である。

図6に示すように、まず、入力端子 V i n への入力電圧が、低レベル（G n d 電位）から高レベル（V d d）にスイッチングする。スイッチング（立ち上がり

）に必要な時間は 150 ps である。かかる入力電圧のスイッチングに同期して、 I_{bp} から npn ラティラル・バイポーラ・トランジスタの p 型サブストレート（ベース）端子に順方向電流を供給する。

このように、インバータ回路の入力電圧が低レベルから高レベルに変化してスイッチングする場合にのみ同期して、電流源 I_{bp} が、最大電流値が I_{max} である台形の電流パルスベース電流として流すことにより、 npn ラティラル・バイポーラ・トランジスタにおいて大きなコレクタ電流を引き出し、 n チャネル MOS のスイッチング速度を加速できる。一方、かかるタイミングでは、 pnp ラティラル・バイポーラ・トランジスタのベース（ n ）・エミッタ（ソース）接合は零バイアスとして電流を流さない。

【0021】

同様に、 pnp ラティラル・バイポーラ・トランジスタの n 型サブストレート（ベース）端子へ順方向電流を供給する電流源 I_{bn} は、インバータ回路の入力電圧が、高レベルから低レベルにスイッチングする場合（スイッチング時間は 150 ps ）にのみ同期して、最大電流が高さ I_{max} である台形の電流パルスベース電流として流す。これにより、 pnp ラティラル・バイポーラ・トランジスタにおいて、大きなコレクタ電流を引き出して、 p チャネル MOS のスイッチング速度を加速できる。一方、かかるタイミングでは、 npn ラティラル・バイポーラ・トランジスタのベース（ p ）・エミッタ（ソース）接合は零バイアスにして電流を流さない。

【0022】

更に、インバータ回路が定常状態にある時、即ち、入力電圧が、高レベル又は低レベルで略一定している時は、双方のラティラル・バイポーラ・トランジスタのベース・エミッタ接合は零バイアスに印加され、いずれにおいてもベース電流は流れない。

【0023】

以上の説明から明らかなように、本実施の形態にかかる $LBCMOS$ では、インバータ回路を構成する一方のトランジスタがオン状態で、かつ高速に動作して消費電力が上っても、他方のトランジスタはオフ状態で電力を消費しない。更に

、かかる消費電力の増加を、遅延の減少量が上回ることにより、LBCMOS全体の動作に必要なエネルギーを低減できる。

【0024】

なお、入力端子 V_{in} への入力電圧のスウィッチング（立ち上り、立ち下り）時間を、それぞれ150psとしているが、これは、最小寸法のトランジスタ幅を有するリングオシレータの回路シミュレーション波形から採用した値である。また、 I_{bp} と I_{bn} の立ち上り時間（ \equiv 立ち下り時間）を、それぞれ50psと100psとしているが、これは、nチャネル/pチャネルMOSトランジスタ幅の比、即ち、ゲート容量の比が1:2であることに対応させたものである。これは、後述のLBCMOS300においても同様である。

【0025】

図7は、全体が300で表される、本実施の形態にかかるラティラル・バイポーラ・CMOS（LBCMOS）インバータ回路の等価回路図である。

LBCMOS300は、LBCMOS200と同様に、nチャネルMOSトランジスタ310とpチャネルMOSトランジスタ320が、CMOS構造となるように接続されている。2種類の電流源には、LBCMOS200とは異なり、例えば $\lambda=0.175\mu\text{m}$ として、 $W_p=12\lambda=2.1\mu\text{m}$ のプルアップpチャネルMOSトランジスタ330と、 $W_n=6\lambda=1.05\mu\text{m}$ のプルダウンnチャネルMOSトランジスタ340が用いられる。

【0026】

MOSトランジスタ330のドレイン端子は、nチャネルMOSトランジスタ310のp型サブストレート（ベース）端子に接続され、ソース端子とサブストレート端子は、ともに電圧源 V_{dd} に接続される。同様に、MOSトランジスタ340のドレイン端子は、pチャネルMOSトランジスタ320のn型サブストレート（ベース）端子に接続され、ソース端子とサブストレート端子は、接地源 G_{nd} にそれぞれ接続される。

【0027】

かかる構造で、MOSトランジスタ330のゲート電圧 V_p と、MOSトランジスタ340のゲート電圧 V_n を制御することにより、インバータ回路を構成す

る2つのMOSトランジスタ310、320のサブストレート（ベース）端子のどちらか一方に順方向電流を流す。即ち、後述するように、一方のサブストレート（ベース）端子に順方向電流を流す場合、他方のサブストレート（ベース）端子には順方向電流は流さないように制御する。

図8は、かかるLBCMOS300のレイアウトである。

【0028】

図9は、LBCMOS300を混成モードで動作させる場合の、入力端子 V_{in} に対する入力電圧と、2つの電流源のゲート電圧 V_p 、 V_n のパルス波形である。

図9に示すように、まず、入力端子 V_{in} への入力電圧が、低レベル（ G_{nd} 電位）から高レベル（ V_{dd} ）にスイッチングする。スイッチング（立ち上がり）に必要な時間は150psである。かかる入力電圧のスイッチングに同期して、MOSトランジスタ330のゲート電圧 V_p が、高レベル（ V_{dd} ）から低レベル（ G_{nd} ）に変化し、一定時間（ T_1 ）経過後にまた元の高レベル（ V_{dd} ）に戻る台形のパルス電圧を与える。これにより、かかる台形波に対応した、略台形のパルス電流が、MOSトランジスタ330のドレイン端子に流れる。かかるパルス電流が、nチャネルMOSトランジスタ310に内在するnpnラティラル・バイポーラ・トランジスタのベース電流となって大きなコレクタ電流を引き出し、nチャネルMOSトランジスタ310のスイッチング速度を加速する。一方、MOSトランジスタ340のゲート電圧 V_n は低レベルに維持され、トランジスタがオフ状態になるように制御する。これにより、pチャネルMOSトランジスタ320にはベース電流が流れず、オフ状態に維持される。

【0029】

次に、インバータ回路の入力電圧 V_{in} が、高レベル（ V_{dd} ）から低レベル（ G_{nd} ）にスイッチングする場合、スイッチングに同期して、MOSトランジスタ340のゲート電圧 V_n が、低レベル（ G_{nd} ）から高レベル（ V_{dd} ）に変化し、一定時間（ T_h ）経過後にまた元の低レベル（ G_{nd} ）に戻る台形状に変化する。かかるパルス電圧を与えることにより、それに対応したほぼ台形のパルス電流が、MOSトランジスタ340のドレイン端子に流れる。かかるパルス

電流が、 n チャネルMOSトランジスタ320の内在する pnp ラティラル・バイポーラ・トランジスタのベース電流となって大きなコレクタ電流を引き出し、 p チャネルMOSトランジスタ320のスイッチング速度を加速する。

一方、MOSトランジスタ330のゲート電圧 V_p は高レベルに維持され、トランジスタがオフ状態になるように制御する。これにより、 n チャネルMOSトランジスタ310にはベース電流が流れず、オフ状態に維持される。

【0030】

更に、インバータ回路が定常状態にある時、即ち、入力電圧が、高レベル又は低レベルで略一定している時は、双方のラティラル・バイポーラ・トランジスタのベース・エミッタ接合は零バイアスに印加され、ベース電流は流れない。

【0031】

このように、LBCMOS300では、LBCMOS200と同様に、インバータ回路を構成する一方のトランジスタがオン状態で、かつ高速に動作して消費電力が上っても、他方のトランジスタはオフ状態で電力を消費しない。更に、かかる消費電力の増加を、遅延の減少量が上回ることにより、LBCMOS全体の動作に必要なエネルギーを低減できる。

【0032】

【比較例】

図10は、比較例であり、全体が400で表される従来構造のDTCMOS (Dynamic Threshold Voltage CMOS) インバータ回路の等価回路図である。また、図11、12は、DTCMOS400に含まれる n チャネルMOSトランジスタ(以下、「DTMOS」と呼ぶ。)410と p チャネルDTMOS420との等価回路図である。

【0033】

DTCMOS400は、 n チャネルDTMOS410と p チャネルDTMOS420が、CMOS構造となるように接続されている。DTMOS410、420のゲート、ドレインは、それぞれ、入力端子 V_{in} 、出力端子 V_{out} に接続されている。また、 p チャネルDTMOS420のソースが電圧源 V_{dd} に、 n チャネルDTMOS410のソースが接地源 G_{nd} に、それぞれ接続されている。

また、DTCMOS 400では、2つのDTMOS 410、420のサブストレート（ベース）端子が入力端子 V_{in} に接続されている。

【0034】

ここで、ゲート端子とサブストレート端子とが常時接続される n チャネル DTMOS 410 について説明する。 n チャネル DTMOS 410 では、ゲート端子へ正の入力電圧の印加は、即ち、構造的に内在する $n p n$ バイポーラトランジスタのベース・エミッタ接合に順方向電圧を印加することに相当する。この接合に印加される電圧の値、即ちゲート電圧の値に依存して、 $n p n$ バイポーラトランジスタにベース電流が流れ、これを電流増幅率倍した大きなコレクター電流が流れる。しかし、ベース・エミッタ接合の電圧はビルトイン電圧以下となり、電圧源 V_{dd} もビルトイン電圧以下となる。

一方、ソース端子とドレイン端子が零バイアスの場合、 n チャネル DTMOS 410 がオン状態でなくてもサブストレート端子（即ちベースでもあり、またゲートでもある端子）に順方向電圧が印加されれば、無視できない程度のベース電流が流れる。このため、DTCMOS 400 のスイッチングが起きない定常状態においても電力が消費される。

【0035】

次に、図 10 に示される DTCMOS 400 の動作について述べる。

DTCMOS 400 では、 $W_p/W_n=2$ となる。ここでは、 $0.35\ \mu m$ の CMOS プロセスに基き、マスク寸法のチャンネル長は $L_n=L_p=0.35\ \mu m$ とし、チャンネル幅は $W_n=1.05\ \mu m$ （最小チャンネル幅）、 $W_p=2.1\ \mu m$ とした。

【0036】

図 13 は、DTCMOS 400 を動作させる場合の、入力端子 V_{in} からの入力電圧の波形である。ここで立ち上り時間と立ち下り時間をそれぞれ $150\ ps$ としているが、これは同寸法 CMOS インバータのリングオシレータの回路シミュレーション結果から求めた立ち上り時間（立ち下り時間）に相当する。

【0037】

次に、nチャネルMOSとnpnバイポーラトランジスタの混成モードで動作するnチャネルDTMOS410の動作を回路シミュレーションで確認する。ここでは、 $0.35\mu\text{m}$ のCMOSプロセスに基づき、BSIM3v3モデルで、以下の主要パラメータを使ったシミュレーションを行った。

【0038】

nチャネルMOS:

$$V_{T0}(n) = 0.178\text{ V}$$

$$K_1 = 0.47\text{ V}^{1/2}$$

$$K_2 = -0.057$$

$$\phi_s = 0.82\text{ V}$$

$$\mu_0 = 550\text{ cm}^2/\text{V}\cdot\text{Sec}$$

$$t_{OX} = 7\text{ nm}$$

npnバイポーラトランジスタ:

$$h_{FE} = 100$$

$$I_S = 2 \times 10^{-15}\text{ A}$$

$$\text{Area} = 1$$

【0039】

S. Verdonkt-Vandebroek et al. の "High-gain lateral bipolar action in a MOSFET structure," (IEEE Trans. Electron Devices, vol. ED-38, pp.2487-2496, Nov. 1991) によれば、 V_{dd} が 0.6 V 以下の場合、DTMOSの電流増幅率 h_{FE} の測定結果は 1000 を越える。 V_{dd} が 0.7 V 以上の場合に、 h_{FE} を 100 とした本発明の仮定は、容易に実現できると考える。

【0040】

図14は、トランジスタの幅 $W_n = 1.05\mu\text{m}$ であるnチャネルDTMOS410に対して、 V_{gs} を 0 V から 0.7 V に変化させた場合の、電流 I_{ds} と電圧 V_{ds} の関係である。

図14からわかるように、 V_{gs} ($=V_{be}$: ベース・エミッタ電圧) が 0.7 V に到達すると、順方向ベース電流が指数関数的に急増するため、電圧と電流の関係に不連続が見られる。

【0041】

続いて、pチャネルMOSとpnpバイポーラトランジスタの混成モードで動作するpチャネルDTMOS420の動作を回路シミュレーションで確認する。回路シミュレーションは、同様に、 $0.35\mu\text{m}$ のCMOSプロセスに基づき、BSIM3v3モデルで、以下の主要パラメータを使って行った。

【0042】

pチャネルMOS:

$$V_{T0}(p) = -0.238\text{V}$$

$$K_1 = 0.45\text{V}^{1/2}$$

$$K_2 = -0.03$$

$$\phi_S = 0.79\text{V}$$

$$\mu_0 = 220\text{cm}^2/\text{V}\cdot\text{Sec}$$

$$t_{OX} = 7\text{nm}$$

pnpバイポーラトランジスタ:

$$h_{FE} = 100$$

$$I_S = 2 \times 10^{-15}\text{A}$$

$$\text{Area} = 2$$

【0043】

図15は、pチャネルDTMOS420に対して、 $|V_{gs}|$ を0Vから0.7Vまで変化させた場合の、電流 $|I_{ds}|$ と電圧 $|V_{ds}|$ との関係である。図15からわかるように、 $|V_{gs}|$ ($=|V_{be}|$)が0.7Vに到達すると、順方向ベース電流が指数関数的に急増するため、電圧と電流の大きな不連続が見られる。

【0044】

次に、上述のDTMOS410、420を含むDTCMOS400の回路シミュレーション結果を示す。

図16(a)(b)に、負荷容量と V_{dd} とを変化させた場合の、DTCMOSインバータの遅延(出力の立ち上りと立ち下りの平均遅延をいう。以下同様。)、及び消費電力を示す。

図16 (a) (b) より、遅延、消費電力共に、 V_{dd} に大きく依存していることがわかる。特に、 $V_{dd} > 0.7V$ では、消費電力が急激に増加している。

【0045】

図17 (a) (b) に、同じく負荷容量と V_{dd} とを変化させた場合の、DT CMOSインバータのエネルギーとエネルギー遅延積を示す。エネルギーは、消費電力×遅延時間で近似できるが、消費電力の増加が遅延時間の減少を上回るため、 $V_{dd} > 0.7V$ ではエネルギーが大きく増加する。

このエネルギーに再度、遅延を乗じた値がエネルギー遅延積であるが、エネルギー遅延積が最小となるのは、図17 (b) の座標で表すと、 $(0.6, 0) \rightarrow (0.65, 25) \rightarrow (0.7, 50) \rightarrow (0.7, 75) \rightarrow (0.7, 100)$ と推移する。

負荷容量 ≤ 25 の場合、 $V_{dd} \leq 0.65V$ で遅延積の値はほぼ0と見なせる。 $V_{dd} \geq 0.7V$ において、遅延積の値が増えるが、この $0.7V$ が増加の始まりである。これは、 $V_{dd} = 0.7V$ で順方向ベース電流が指数関数的に増え、この結果、電流増幅率倍したコレクタ電流が流れるためである。上述の非特許文献1では、 V_{dd} の上限を $0.6V$ としているが、本発明では $0.7V$ と見なす。

【0046】

【実施例】

図18は、nチャネルLBMOS ($W_n = 1.05 \mu m$) において、 $V_{be} = 0.7V$ に固定して、 V_{gs} を変化させた場合の、電流 I_{ds} と電圧 V_{ds} との関係である。また、図19は、 $V_{be} = 0.7V$ 、 $V_{ds} = 1.0V$ に固定した場合の、電流 I_{ds} と電圧 V_{gs} との関係である。図18、19において、縦軸の電流は対数で表されており、電流が急激に増加していることがわかる。

【0047】

また、図20は、pチャネルLBMOS ($W_p = 2.1 \mu m$) において、 $|V_{be}| = 0.7V$ に固定して、 $|V_{gs}|$ を変化させた場合の、電流 $|I_{ds}|$ と電圧 $|V_{ds}|$ との関係である。また、図21は、 $|V_{be}| = 0.7V$ 、 $|V_{ds}| = 1.0V$ に固定した場合の、電流 $|I_{ds}|$ と電圧 $|V_{gs}|$ との関

係である。縦軸の電流は対数で表されており、電流が急激に増加していることがわかる。

【0048】

次に、これらのnチャネルLBMOSとpチャネルLBMOSとをCMOSインバータ構造となるように接続したLBCMOSを、2種類の電流源を用いて混成モードで動作させた場合の回路シミュレーション結果について述べる。

【0049】

回路シミュレーションにおいては、DTCMOSでは上限であった $V_{dd} = 0.7V$ の場合に、負荷容量: $C_1 = 0.5534pF (= 100 \times 5.534fF$: この値 $5.534fF$ は最小寸法のインバータ回路のゲート容量値) に対して、電流源の最大値が $75\mu A$ で、その最大値の電流レベルにある時間間隔が $100ps$ であるとした電流パルス条件を設定した。

かかる電流パルス条件を用い、通常のCMOS、及び上述の比較例で述べたDTCMOSと比較した、LBCMOSインバータ回路の性能に関する回路シミュレーション実験を行った。なお、混成モードにおける電流増幅率 h_{FE} は、 100 とした。

【0050】

表1に、かかる回路シミュレーションの結果を示す。表1では、通常のCMOS、上記比較例で説明したDTCMOS、及び本発明にかかるLBCMOSについて、遅延時間、消費電力、エネルギー、及びエネルギー遅延積について比較を行った。CMOS/LBCMOS、DTCMOS/LBCMOSは、これらの回路で得られる特性値の比を示す。なお、以下の表2～4においても、シミュレーション結果の比較項目は同じとする。

【0051】

【表 1】

Vdd=0.7V, Cl=0.5534pF, Imax=75μA, Th=100ps

	CMOS	DTCMOS	LBCMOS	CMOS/LBCMOS	DTCMOS/LBCMOS
遅延(ps)	4313.800	169.550	67.093	64.30	2.53
消費電力(μW)	7.018	500.374	8.278	0.85	60.45
エネルギー(fJ)	30.274	84.838	0.555	54.55	152.86
エネルギー遅延積(×10 ⁻⁹ J·s)	130.596	14.384	0.037	3529.62	388.76

【0052】

表 1 に示すように、本発明にかかる混成モードで動作する LBCMOS インバータ回路は、通常の CMOS との比較で、消費電力が 18% 増える。しかしながら、遅延は 1/64 と小さくなり、従って動作速度は 64 倍も高速であり、エネルギーでは 1/55 になる。

一方、DTCMOS との比較では、動作速度が 2.5 倍、消費電力は 1/60、エネルギーは 1/153 となる。上述のように、DTCMOS インバータ回路は、Vdd>0.7V で異常動作を示し、Vdd=0.7V でも消費電力が大きくなり過ぎる。

以上のように、LBCMOS インバータ回路は、3 種類のインバータ回路の中で、最も高速で、かつ低エネルギーとなる。

【0053】

図 22 (a) (b) は、負荷容量 Cl を 0 から 100 まで変化させた場合の、遅延、及び消費電力の変化である。また、図 23 (a) (b) は、負荷容量 Cl を 0 から 100 まで変化させた場合の、エネルギー、及びエネルギー遅延積の変化である。他の条件は、表 1 の場合と同 d である。

これらのシミュレーション結果から、CMOS は遅延が非常に大きく、DTCMOS では消費電力が大きいことがわかる。

【0054】

DTCMOS インバータ回路では、Vdd を上限の 0.7V を超えて 1.0V まで上げると、インバータ回路は異常な動作となる。しかしながら、LBCMOS のインバータ回路では、正常な動作が得られる。

表 2 は、Cl=100 (×5.534 fF) という大きな負荷容量に対して、

Vddを1.0Vに固定し、電流源が $I_{max}=75\mu A$ で $T_h=100ps$ の場合の、シミュレーション結果である。

【0055】

【表2】

Vdd=1.0V, Cl=0.5534pF, I_{max}=75μA, Th=100ps

	CMOS	LBCMOS	CMOS/LBCMOS
遅延(ps)	2916.950	94.476	30.88
消費電力(μW)	15.851	18.012	0.88
エネルギー(fJ)	46.236	1.702	27.17
エネルギー遅延積($\times 10^{-3}fJ\cdot s$)	134.869	0.161	837.70

【0056】

表2に示すように、本発明にかかる混成モードで動作するLBCMOSインバータ回路は、通常のCMOSとの比較で、消費電力が14%増える。しかしながら、遅延は1/31と小さくなり、従って、動作速度は31倍も高速となる。また、エネルギーは1/27となる。

【0057】

図24(a)(b)は、負荷容量C_lを0から100まで変化させた場合の、遅延、及び消費電力の変化である。また、図25(a)(b)は、負荷容量C_lを0から100まで変化させた場合の、エネルギー、及びエネルギー遅延積の変化である。他の条件は、表2の場合と同じである。

これらのシミュレーション結果から、CMOSインバータ回路は、消費電力でLBCMOSより僅かに勝るが、遅延が格段に大きくなっていることがわかる。

【0058】

また、図26(a)(b)に、I_{max}を50μAから200μAまで変化させたLBCMOSインバータの遅延と消費電力の変化である。また、図27(a)(b)は、同じく、I_{max}を50μAから200μAまで変化させたLBCMOSインバータのエネルギーとエネルギー遅延積の変化である。ここで、I_{max}は、電流源I_bpから供給される最大電流値である(図6参照)。

【0059】

図26(a)より、 I_{max} が $75\mu A$ 以下では遅延の変化が急激であるが、 $75\mu A$ 以下では緩やかな変化となることがわかる。従って、 n チャネルLBMOSのベース端子には、 I_{bp} から、 $I_{max} (=75\mu A) \times 200ps$ の台形面積に相当する電荷を供給すれば、十分な高速スイッチングが得られることがわかる。

【0060】

次に、プルアップ／プルダウンMOSトランジスタを2種類の電流源として使用したLBCMOSを混成モードで動作させた場合の回路シミュレーション結果について述べる。

かかる回路シミュレーションでは、 $V_{dd}=0.7V$ の場合に、負荷容量 $C_l=0.5534pF (=100 \times 5.534fF)$ に対して、プルアップ／プルダウンMOS (n チャネルMOS／ p チャネルMOS) のゲート入力電圧 V_p 、 V_n の、高レベル／低レベルのスイッチングの間隔が、共に $700ps$ であるとした電圧パルス条件を設定した。

かかる電流パルス条件を用い、通常のCMOS、及び上述の比較例で述べたDTCMOSと比較した、LBCMOSインバータ回路の性能に関する回路シミュレーション実験を行った。なお、混成モードにおける電流増幅率 h_{FE} は、同じく 100 とした。

【0061】

表3に、かかる回路シミュレーションの結果を示す。表3では、通常のCMOS、上記比較例で説明したDTCMOS、及び本発明にかかるLBCMOSについて、遅延時間、消費電力、エネルギー、及びエネルギー遅延積について比較を行った。CMOS／LBCMOS、DTCMOS／LBCMOSは、これらの回路で得られる特性値の比を示す。

【0062】

【表 3】

Vdd=0.7V, Cl=0.5534pF, Th=Tl=700ps

	CMOS	DTCMOS	LBCMOS	CMOS/LBCMOS	DTCMOS/LBCMOS
遅延(ps)	4236.350	169.550	681.945	6.21	0.25
消費電力(μ W)	7.319	500.374	8.176	0.90	61.20
エネルギー (fJ)	31.007	84.838	5.575	5.56	15.22
エネルギー遅延積 ($\times 10^{-9}$ fJ·s)	131.356	14.384	3.802	34.55	3.78

【0063】

表3に示すように、本発明にかかる混成モードで動作するLBCMOSインバータ回路は、通常のCMOSとの比較で、消費電力が12%増える。しかしながら、遅延は1/6弱となり、従って、動作速度は6倍強と高速となる。また、エネルギーも1/6強となった。

一方、DTCMOSと比較すると、動作速度は1/4倍と遅くなるが、消費電力は1/61となり、また、エネルギーは1/15となった。なお、かかる条件において、DTCMOSは消費電力が非常に大きく、実際の使用することは困難である。

【0064】

図28(a)(b)は、負荷容量C1を0から100まで変化させた場合の、遅延、及び消費電力の変化である。また、図29(a)(b)は、負荷容量C1を0から100まで変化させた場合の、エネルギー、及びエネルギー遅延積の変化である。他の条件は、表3の場合と同じである。

これらのシミュレーション結果から、CMOSインバータ回路では遅延が大きく、DTCMOSインバータ回路では消費電力が非常に大きいことがわかる。

【0065】

DTCMOSインバータ回路では、Vddを上限の0.7Vを超えると、インバータ回路は異常な動作となる。しかしながら、LBCMOSのインバータ回路では、正常な動作が得られる。

表4は、Vddを1.0Vに固定し、C1=100($\times 5.534$ fF)で、パルス電圧の保持時間:Th=Tl=700psの場合の、シミュレーション結果である。

【0066】

【表 4】

Vdd=1.0V, Cl=0.5534pF, Th=Tf=700ps

	CMOS	LBCMOS	CMOS/LBCMOS
遅延(ps)	2901.000	142.135	20.41
消費電力(μ W)	15.728	20.046	0.78
エネルギー(fJ)	45.628	2.849	16.01
エネルギー遅延積($\times 10^{-3}$ fJ \cdot s)	132.367	0.405	326.85

【0067】

表 4 に示すように、本発明にかかる混成モードで動作する LBCMOS インバータ回路は、通常の CMOS との比較で、消費電力が 27% 増える。しかしながら、遅延は $1/20$ となり、従って、動作速度が 20 倍と高速となる。また、エネルギーは、 $1/16$ となる。

【0068】

図 30 (a) (b) は、負荷容量 C_l を 0 から 100 まで変化させた場合の、遅延、及び消費電力の変化である。また、図 31 (a) (b) は、負荷容量 C_l を 0 から 100 まで変化させた場合の、エネルギー、及びエネルギー遅延積の変化である。他の条件は、表 4 の場合と同じである。

これらのシミュレーション結果から、CMOS インバータ回路は、消費電力で LBCMOS より僅かに勝るが、遅延は大きくなっていることわかる。

【0069】

図 32 (a) (b) は、パルス電圧の保持時間: $T_h (=T_l)$ を 700ps に固定し、Vdd を 0.7V から 1.1V まで変化させた場合の、LBCMOS インバータ回路の遅延と消費電力の変化である。また、図 33 (a) (b) は、同様の条件で、Vdd を 0.7V から 1.1V まで変化させた場合の、エネルギーとエネルギー遅延積の変化である。

これらの図から明らかなように、Vdd を上げると遅延減少効果が大きくなり、Vdd = 1.1V となってもエネルギー遅延積は最小値に到達しない。

【0070】

次に、図34 (a) (b) は、 V_{dd} を0.7Vに固定し、 $T_h (=T_l)$ を100psから1300psまで変化させた場合の、LBCMOSインバータ回路の遅延と消費電力のシミュレーション結果である。また、図35 (a) (b) は、 $T_h (=T_l)$ を100psから1300psまで変化させた場合の、LBCMOSインバータ回路のエネルギーとエネルギー遅延積の変化である。

図からわかるように、 $T_h (=T_l)$ が700p以上では、遅延はほぼ変化せず、消費電力の僅かな増加があるのみであり、エネルギーとエネルギー遅延積もほんの僅かしか増えない。従って、保持時間： $T_h (=T_l)$ を700psに固定しても、LBCMOSインバータ回路にはインバータの充放電に必要な電荷が十分に供給しており、図28から図33の結論はそのまま一般化できると考える。

【0071】

以上のように、本実施の形態にかかるLBCMOSは、4端子のnチャネルとpチャネルのMOSトランジスタと、その各々に構造的に内在するnpnとppnのラティラル・バイポーラ・トランジスタからなるCMOSと、2つの電流源で構成され、MOSトランジスタ動作とバイポーラトランジスタ動作との混成モードで動作する。このため、CMOSを構成するMOSトランジスタの駆動能力が大幅に向上する。

このインバータ回路では、スイッチング時にのみ高速に充放電を行うことにより、動作が高速で、かつ低エネルギーのCMOS集積回路が実現できる。具体的には、2つのMOSトランジスタに内在するバイポーラトランジスタのベース端子を制御して、CMOSインバータ回路の入力電圧のスイッチングに同期して、一方のMOSトランジスタのベース端子に順方向電流を流し、これを電流増幅率倍したコレクタ電流を引き出して駆動力を大幅に増やす。同時に、他方のMOSトランジスタのベース端子には電流を流さないようにする。また、CMOSインバータ回路が定常状態にある場合は、双方のベース端子に電流を流さないようにする。

【0072】

また、従来のCMOS標準セル・ライブラリにおいて、高い駆動力を必要とす

る標準セルの出力に対し、かかる混成モードのLBCMOSを組み込む設計手法を採ることができる。即ち、CMOS標準セル・ライブラリでは、配線RCやファンアウト容量の大きな負荷をスイッチング出来る駆動能力の高い標準セルも取り揃えなければならない。そこで、順方向ベース電流を流してそれを電流増幅率倍したドレイン電流を引き出して駆動力を上げた混成モードのLBCMOSをライブラリに準備する。このように、従来の低消費電力であるCMOS標準セルと、高速で低エネルギーな本実施の形態にかかるLBCMOSを併用して使うことにより、画期的なCMOS標準セル・ライブラリが実現する。例えば、クリティカルパス上で大きな負荷を持つ論理ゲートや、バスの駆動回路、ブロックの出力回路などの標準セルの出力に、かかるLBCMOSを追加する。

【0073】

特に、 $0.35\mu\text{m}$ のCMOSプロセスを使用する場合、 $V_{dd}=1.0\text{V}$ として、電流増幅率が100のラティラル・バイポーラ動作を仮定すると、この混成モードのLBCMOSは、通常のCMOSに比べて、動作速度が20倍速くなり、エネルギーも $1/16$ となる。このように、本実施の形態にかかるLBCMOSでは、遅延時間を大幅に減らし、同時に大幅な低エネルギー化を達成できる。

【0074】

【発明の効果】

以上の説明から明らかなように、本発明にかかるラティラル・バイポーラCMOS集積回路では、4端子のnチャネルとpチャネルのMOSトランジスタと、その各々に構造的に内在するnpnとpnpのラティラル・バイポーラ・トランジスタを混成モードで動作させて、インバータ回路のスイッチング時にのみ高速充放電を行い、高速動作が可能で、かつ低エネルギーのラティラル・バイポーラCMOS集積回路を実現できる。

【図面の簡単な説明】

【図1】 本実施の形態にかかるラティラルバイポーラCMOS装置の断面の概略図である。

【図2】 本実施の形態にかかるラティラルバイポーラCMOSインバータ

回路 (LBCMOS) の等価回路図である。

【図 3】 nチャネルMOSトランジスタの等価回路図である。

【図 4】 pチャネルMOSトランジスタの等価回路図である。

【図 5】 本実施の形態にかかるLBCMOSのレイアウト図である。

【図 6】 入力電圧と、 I_{bp} 、 I_{bn} から供給される電流の波形である。

【図 7】 本実施の形態にかかるラティラルバイポーラCMOSインバータ回路 (LBCMOS) の等価回路図である。

【図 8】 本実施の形態にかかるLBCMOSのレイアウト図である。

【図 9】 入力電圧と、ゲート電圧 V_p 、 V_n の波形である。

【図 10】 比較例にかかる従来のDTMOSの等価回路図である。

【図 11】 nチャネルDTMOSの等価回路図である。

【図 12】 pチャネルDTMOSの等価回路図である。

【図 13】 入力電圧のパルス波形である。

【図 14】 V_{gs} を変化させた場合の、nチャネルDTMOSの電流 I_{ds} －電圧 V_{ds} 特性である。

【図 15】 $|V_{gs}|$ を変化させた場合の、pチャネルDTMOSの電流 $|I_{ds}|$ －電圧 $|V_{ds}|$ 特性である。

【図 16】 DTCMOSの遅延と消費電力である。

【図 17】 DTCMOSのエネルギーとエネルギー遅延積である。

【図 18】 $V_{be}=0.7V$ に固定し、 V_{gs} を変化させた場合の、nチャネルLBMOSの電流 I_{ds} －電圧 V_{ds} 特性である。

【図 19】 $V_{be}=0.7V$ 、 $V_{ds}=1.0V$ に固定した場合の、nチャネルLBMOSの電流 I_{ds} －電圧 V_{gs} 特性である。

【図 20】 $|V_{be}|=0.7V$ に固定し、 $|V_{gs}|$ を変化させた場合の、nチャネルLBMOSの電流 $|I_{ds}|$ －電圧 $|V_{ds}|$ 特性である。

【図 21】 $|V_{be}|=0.7V$ 、 $|V_{ds}|=1.0V$ に固定した場合の、pチャネルLBMOSの電流 $|I_{ds}|$ －電圧 $|V_{gs}|$ 特性である。

【図 22】 LBCMOSインバータ回路の遅延と消費電力に関して、CMOS、DTCMOSとの比較である。

【図 23】 LBCMOS インバータ回路のエネルギーとエネルギー遅延積に関して、CMOS、DTCMOS との比較である。

【図 24】 LBCMOS インバータ回路の遅延と消費電力に関して、CMOS との比較である。

【図 25】 LBCMOS インバータ回路のエネルギーとエネルギー遅延積に関して、CMOS との比較である。

【図 26】 LBCMOS インバータ回路の遅延と消費電力である。

【図 27】 LBCMOS インバータ回路のエネルギーとエネルギー遅延積である。

【図 28】 LBCMOS インバータ回路の遅延と消費電力である。

【図 29】 LBCMOS インバータ回路のエネルギーとエネルギー遅延積である。

【図 30】 LBCMOS インバータ回路の遅延と消費電力である。

【図 31】 LBCMOS インバータのエネルギーとエネルギー遅延積である。

【図 32】 LBCMOS インバータ回路の遅延と消費電力である。

【図 33】 LBCMOS インバータ回路のエネルギーとエネルギー遅延積である。

【図 34】 LBCMOS インバータ回路の遅延と消費電力である。

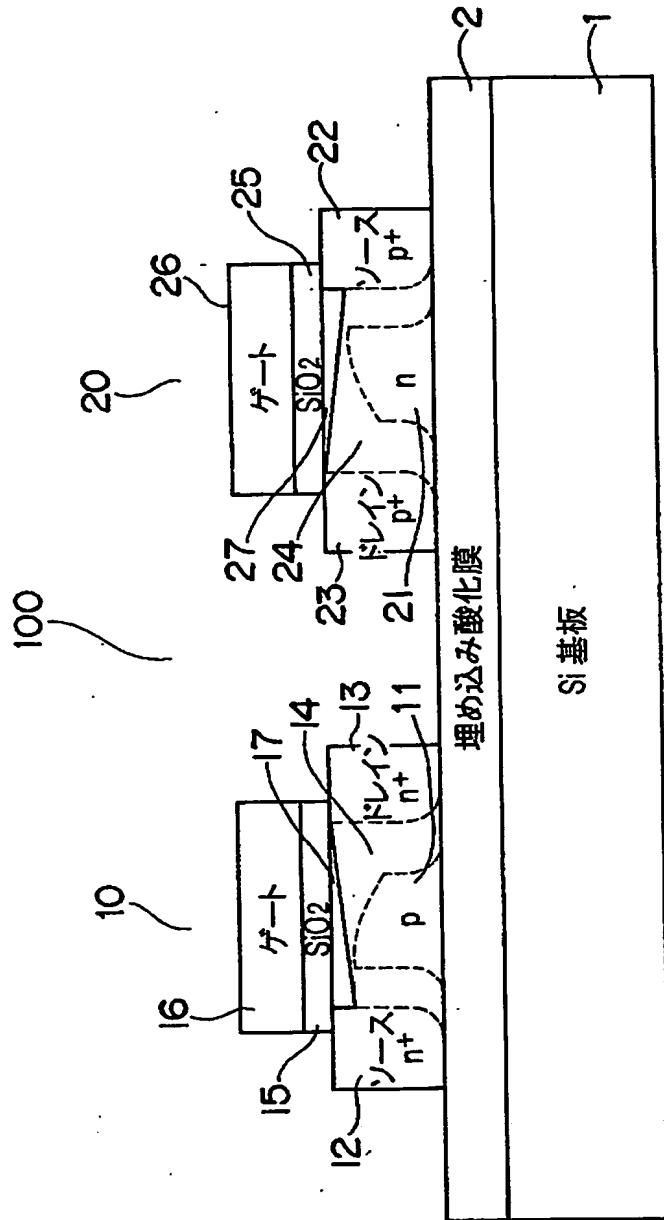
【図 35】 LBCMOS インバータ回路のエネルギーとエネルギー遅延積である。

【符号の説明】

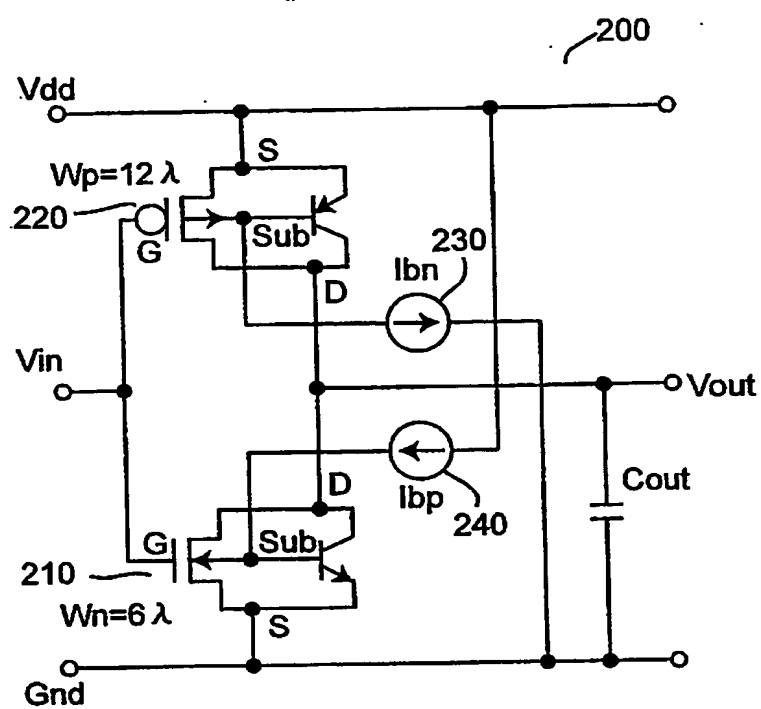
1 シリコン基板、2 埋め込み酸化膜、10 nチャネルMOSトランジスタ、11 p型サブストレート領域、12 n型ソース領域、13 n型ドレイン領域、14 部分空乏層、15 ゲート酸化膜、16 ゲート電極、17 nチャネル、100 ラティラルバイポーラMOS集積回路装置。

【書類名】 図面

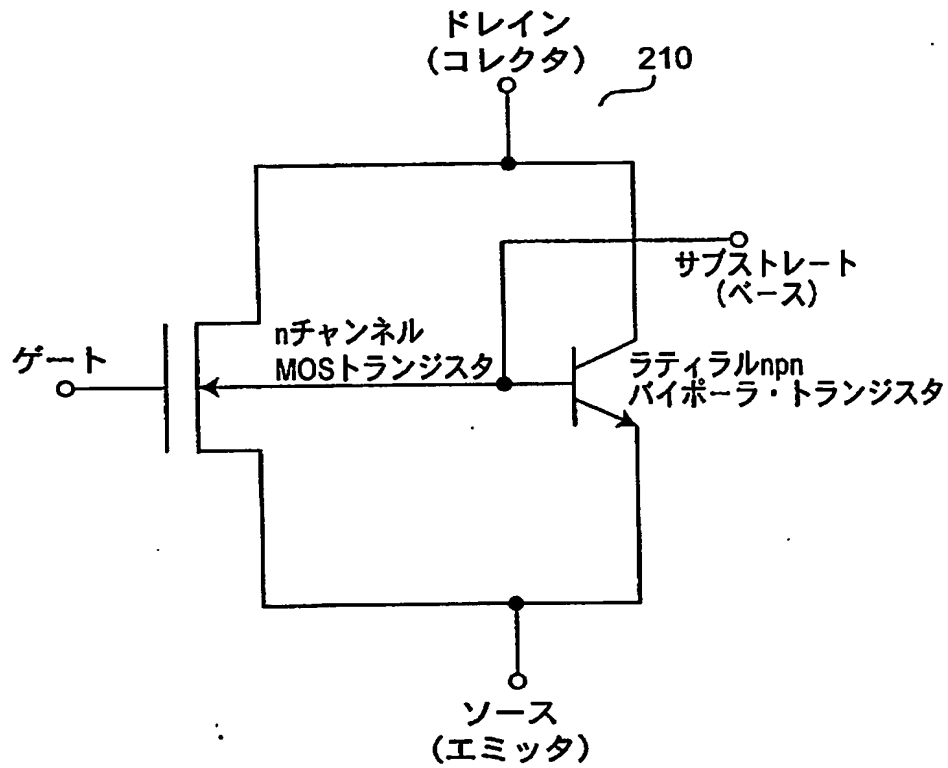
【図1】



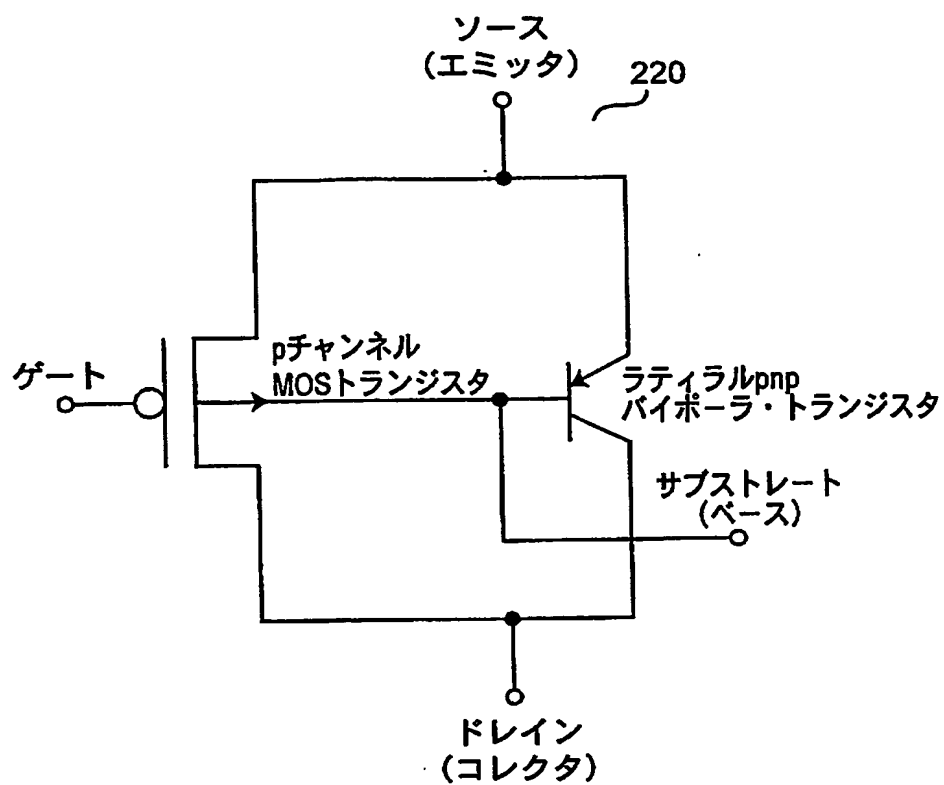
【図 2】



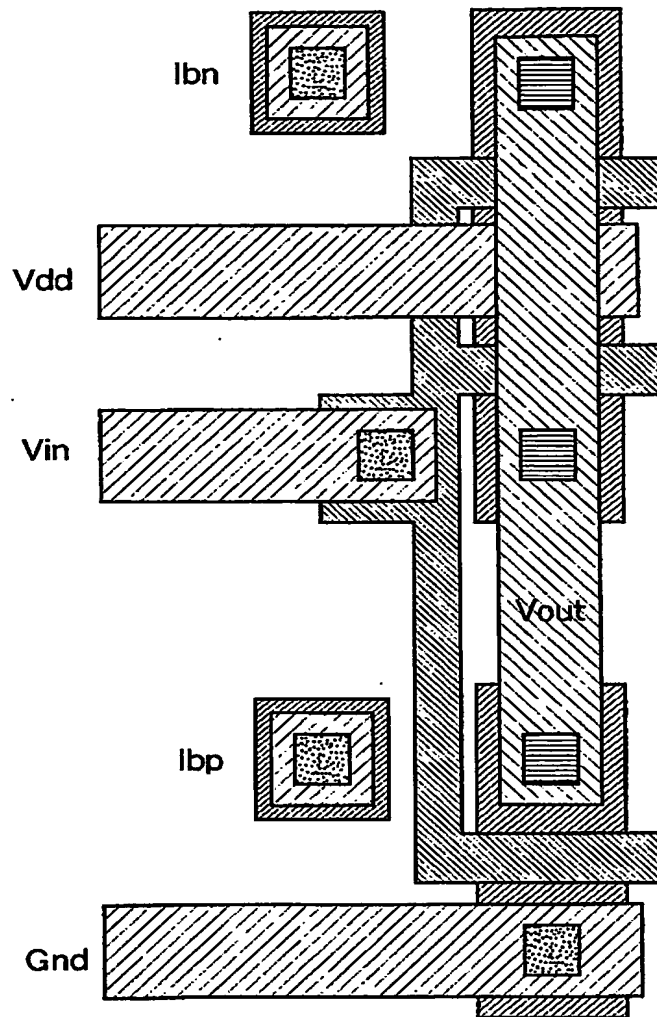
【図 3】



【図 4】

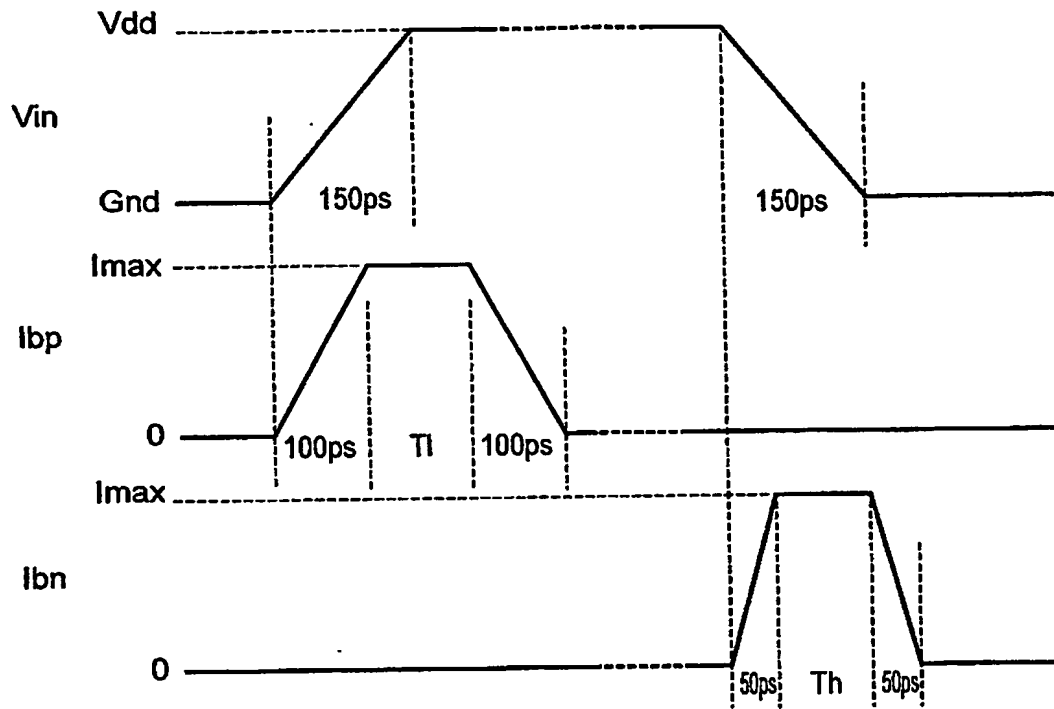


【図 5】

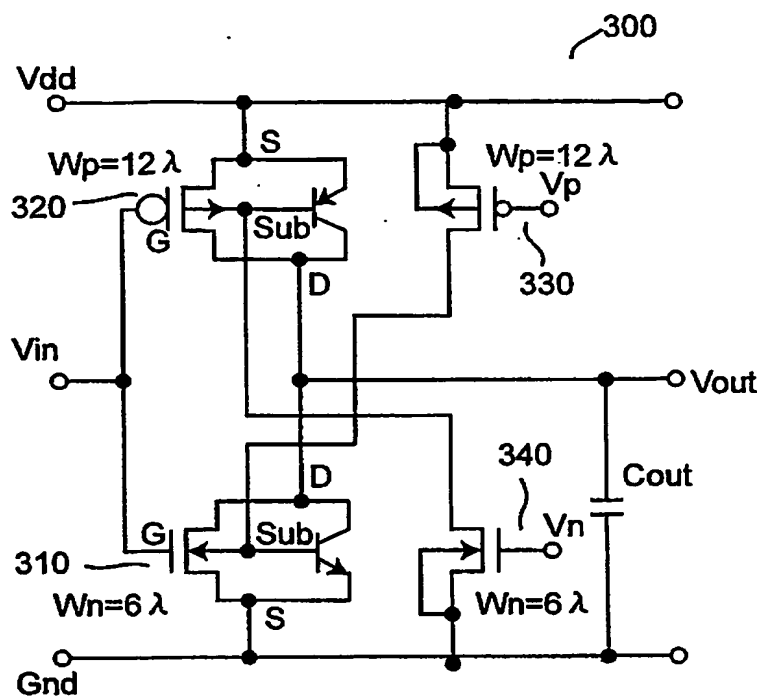


【図 6】

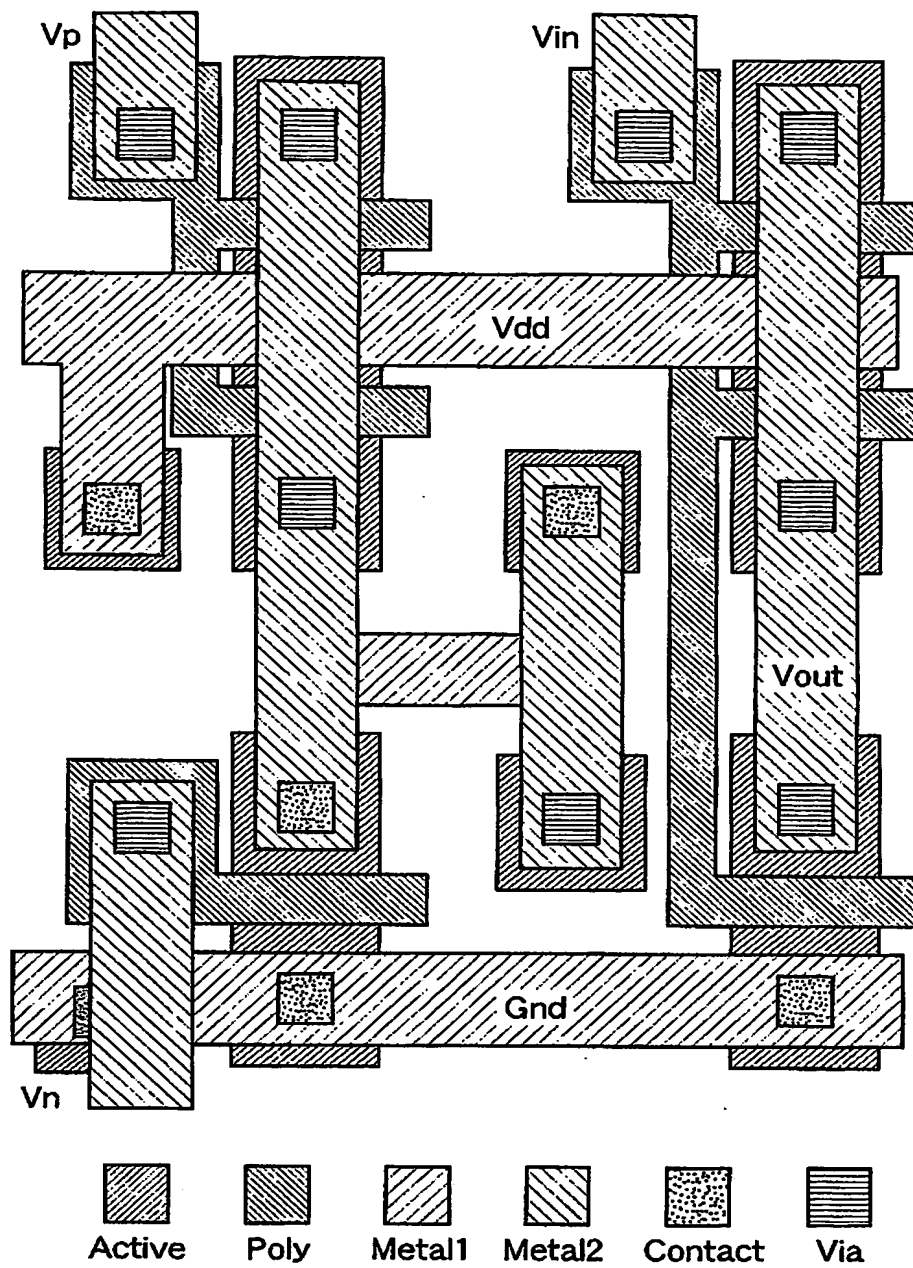
入力電圧と電流パルス波形



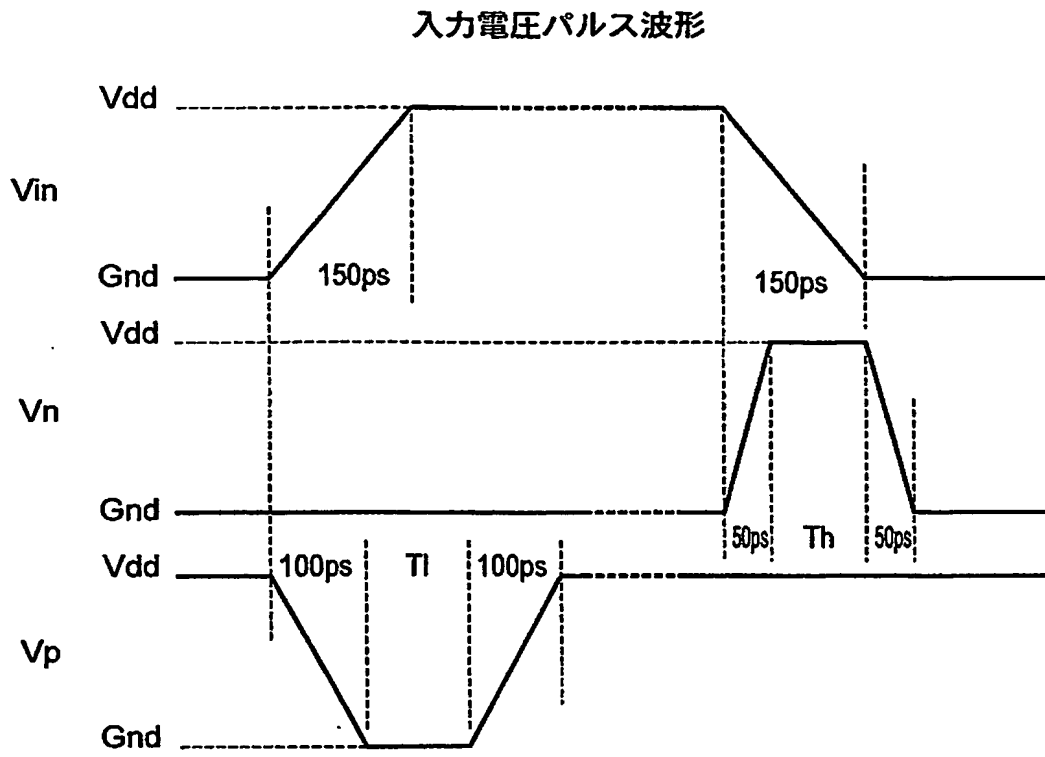
【図 7】



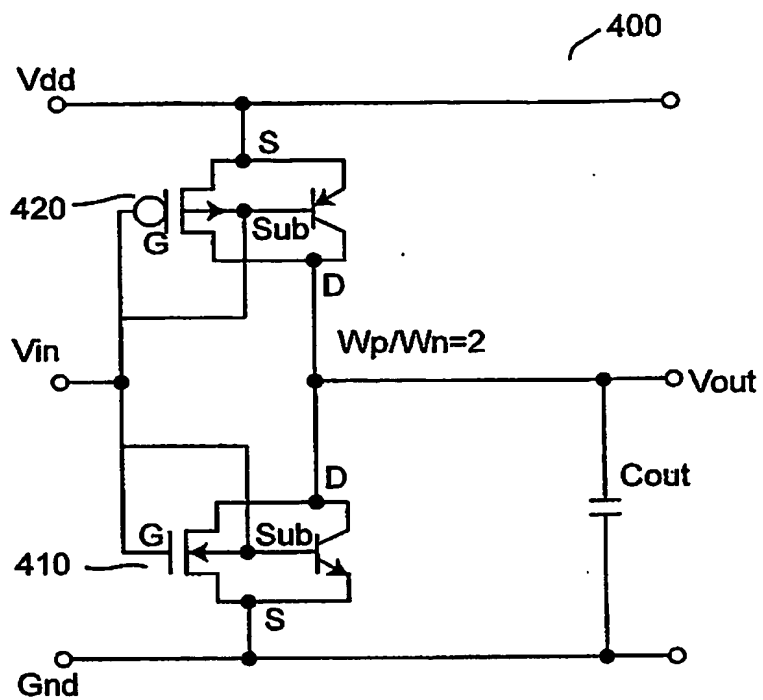
【図 8】



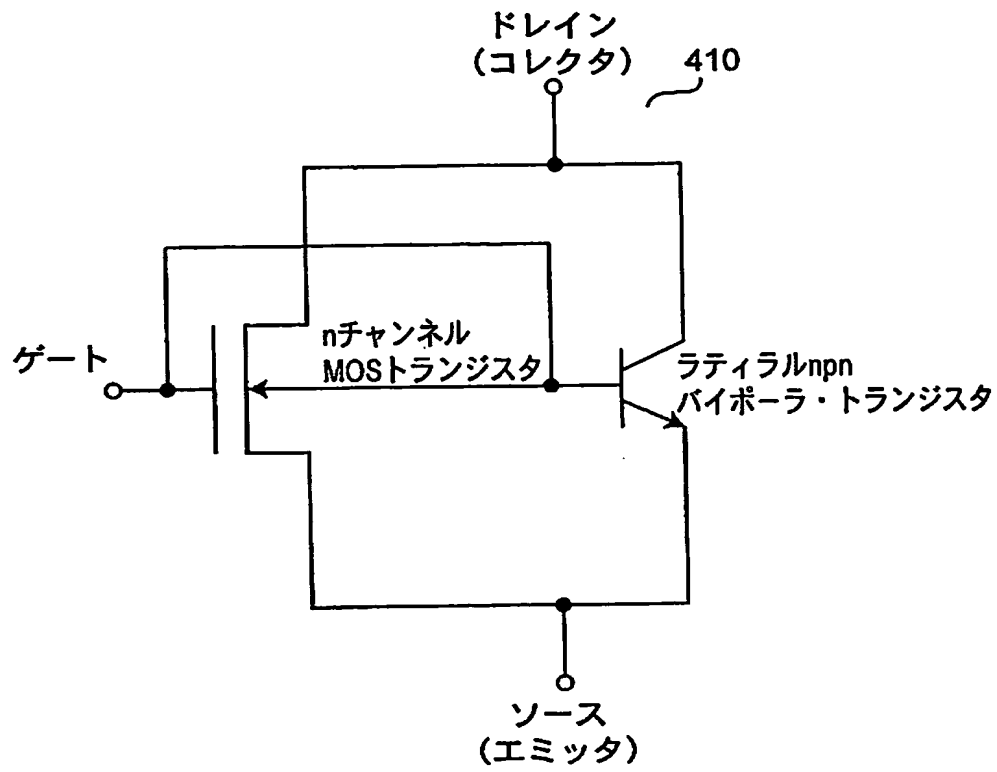
【図 9】



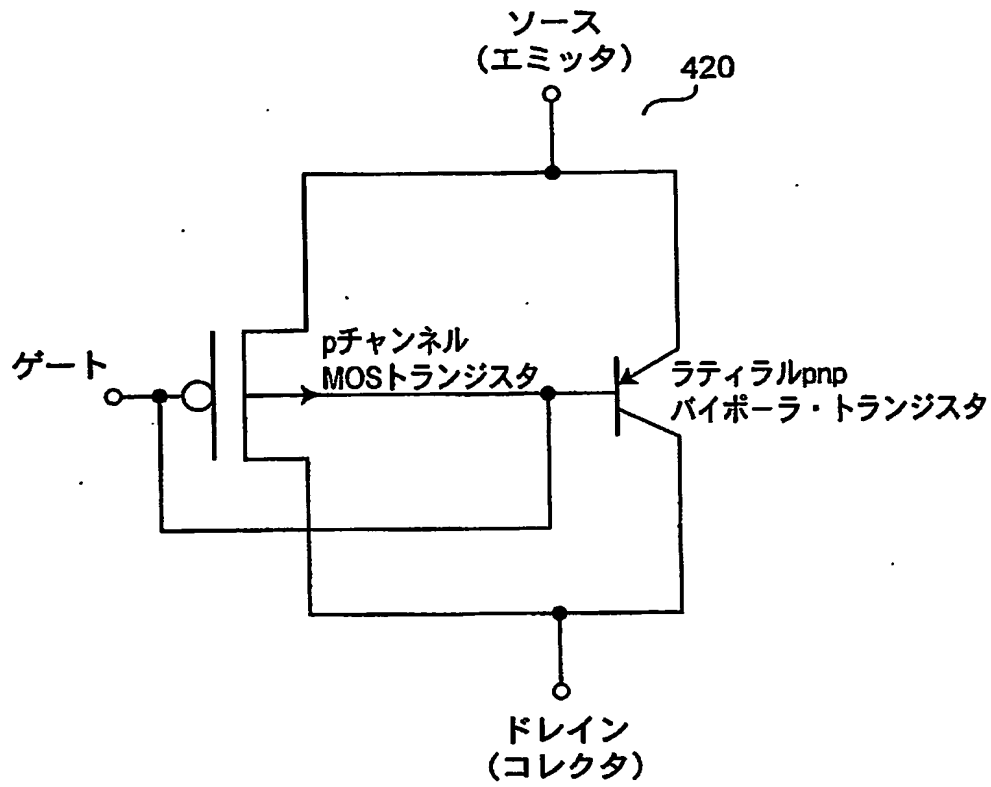
【図 10】



【図 11】

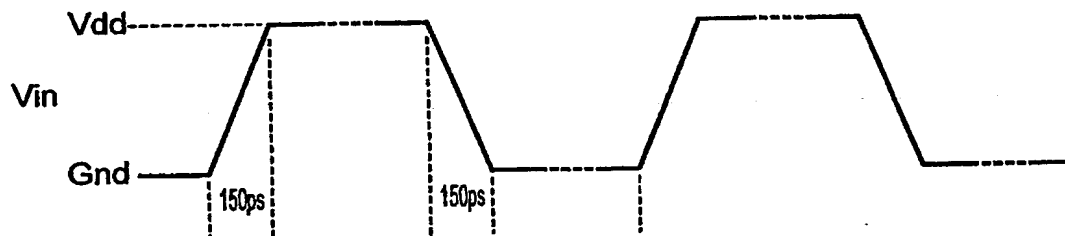


【図 12】

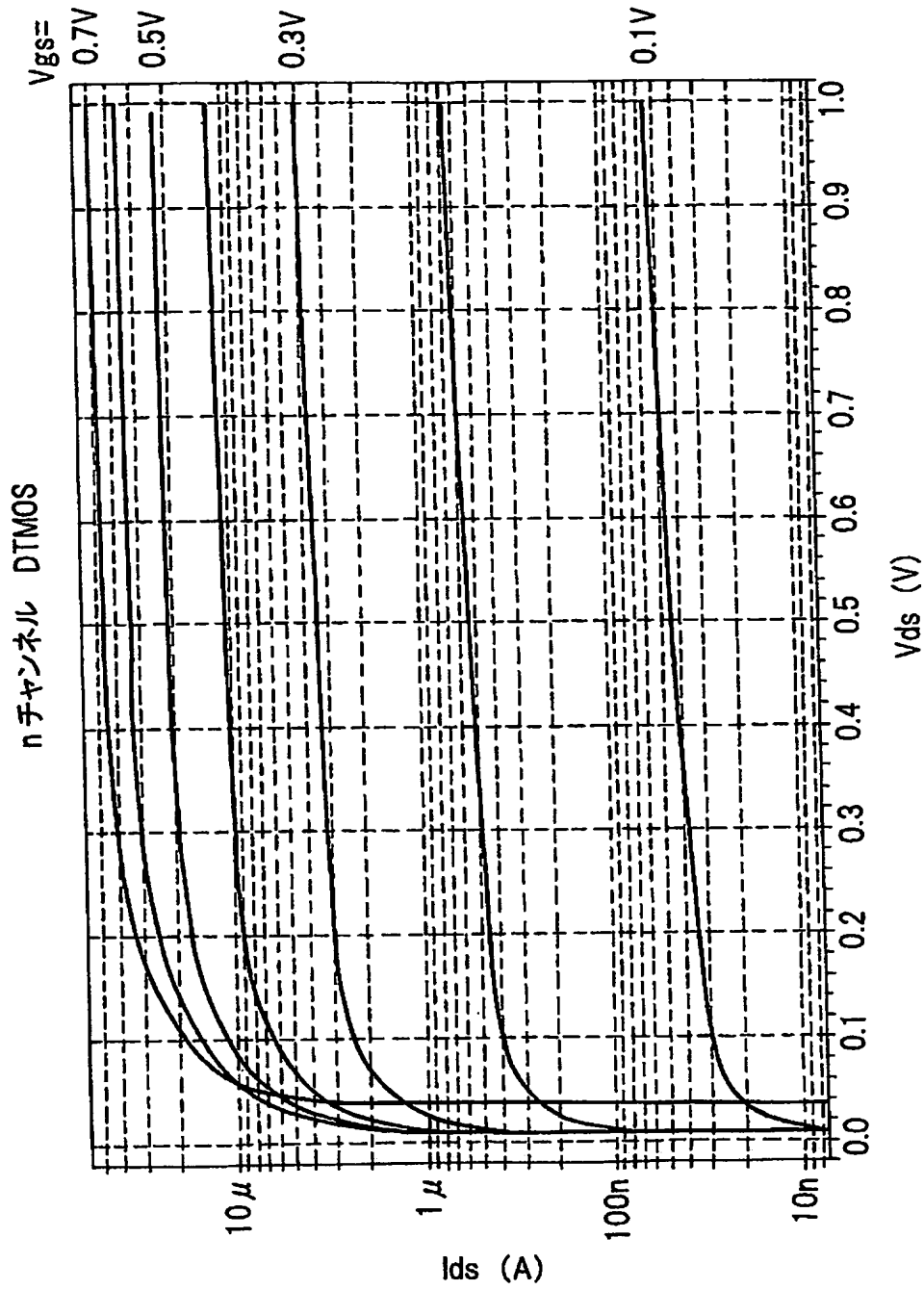


【図 13】

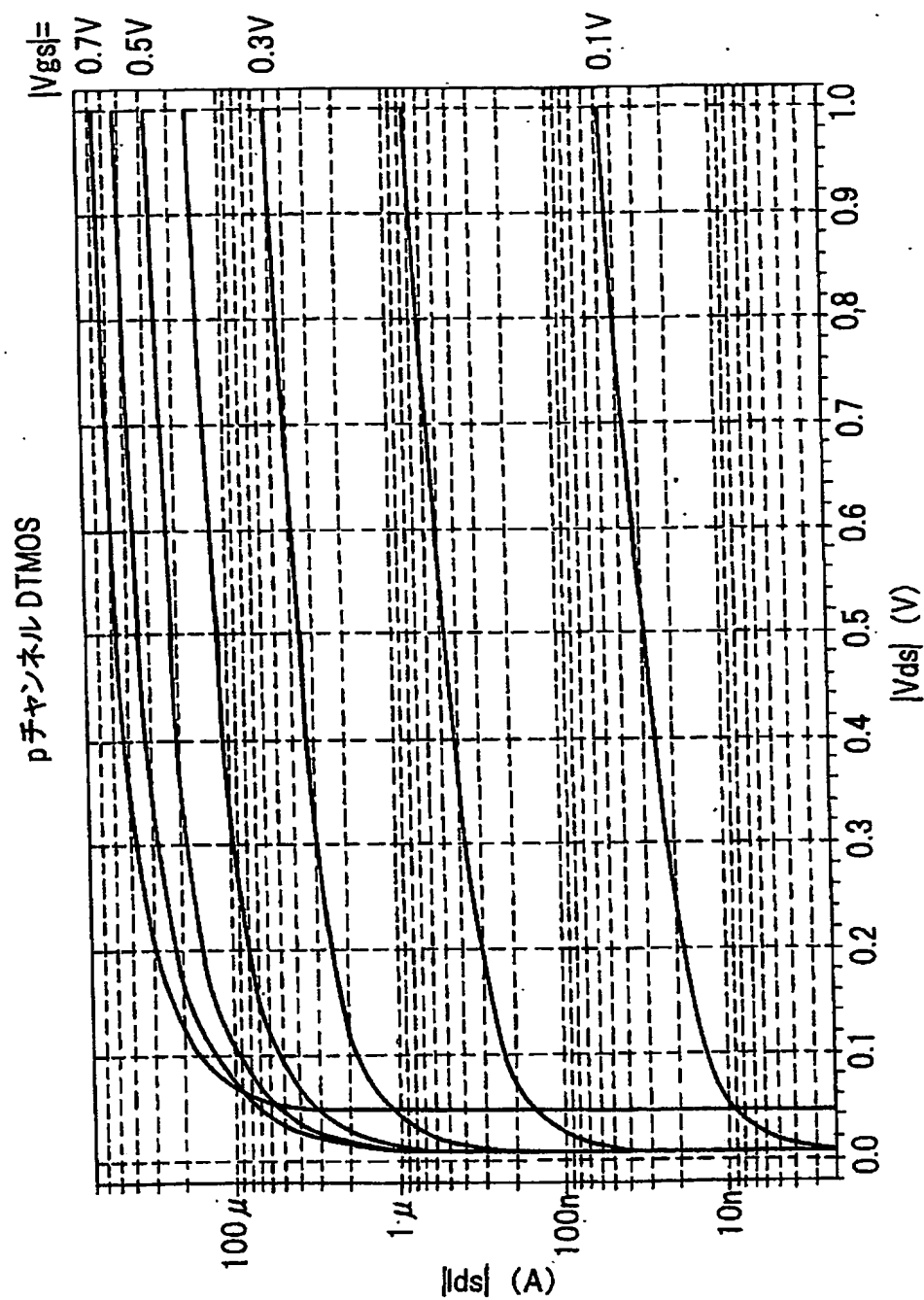
入力電圧パルス波形



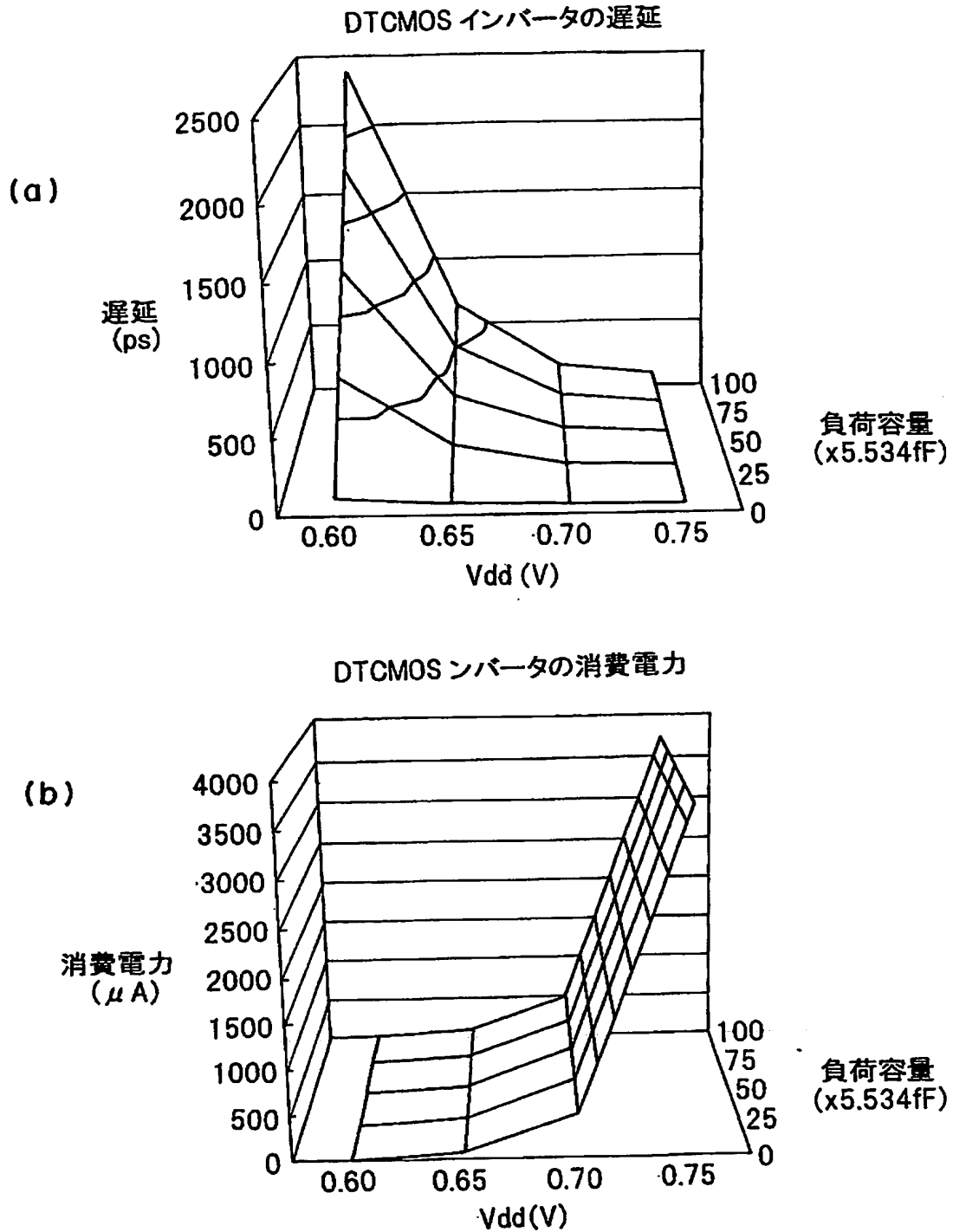
【図 14】



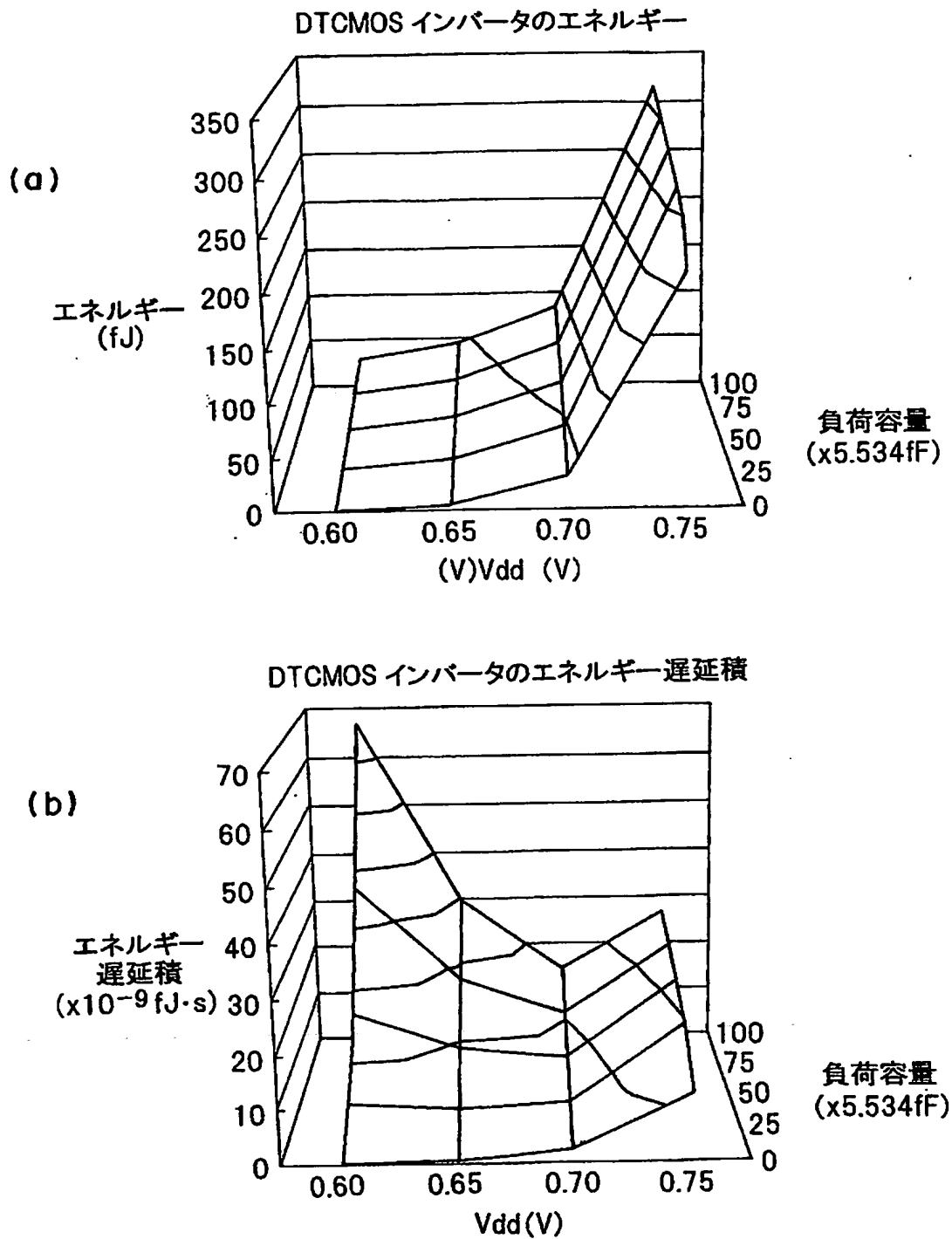
【図 15】



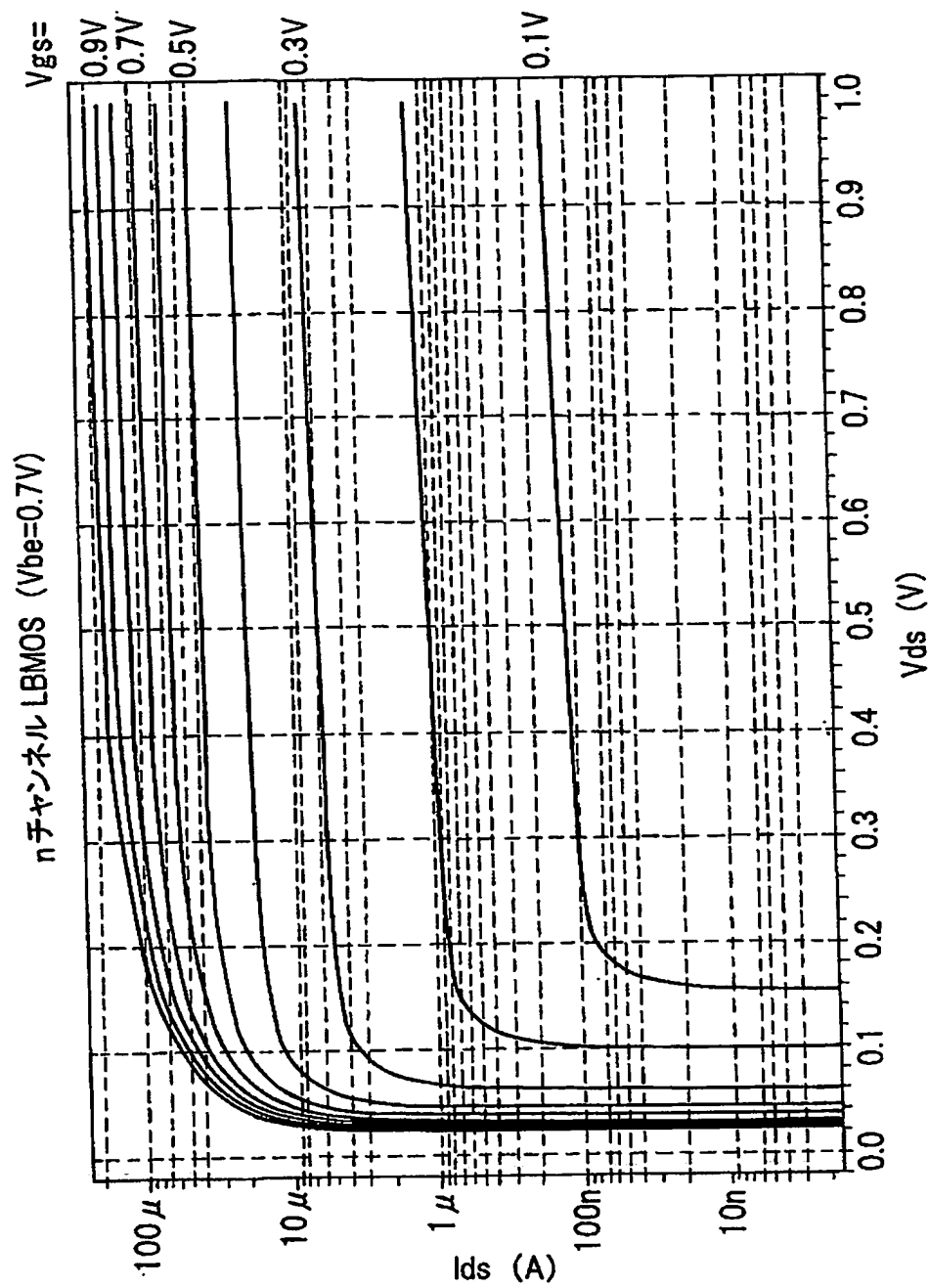
【図 16】



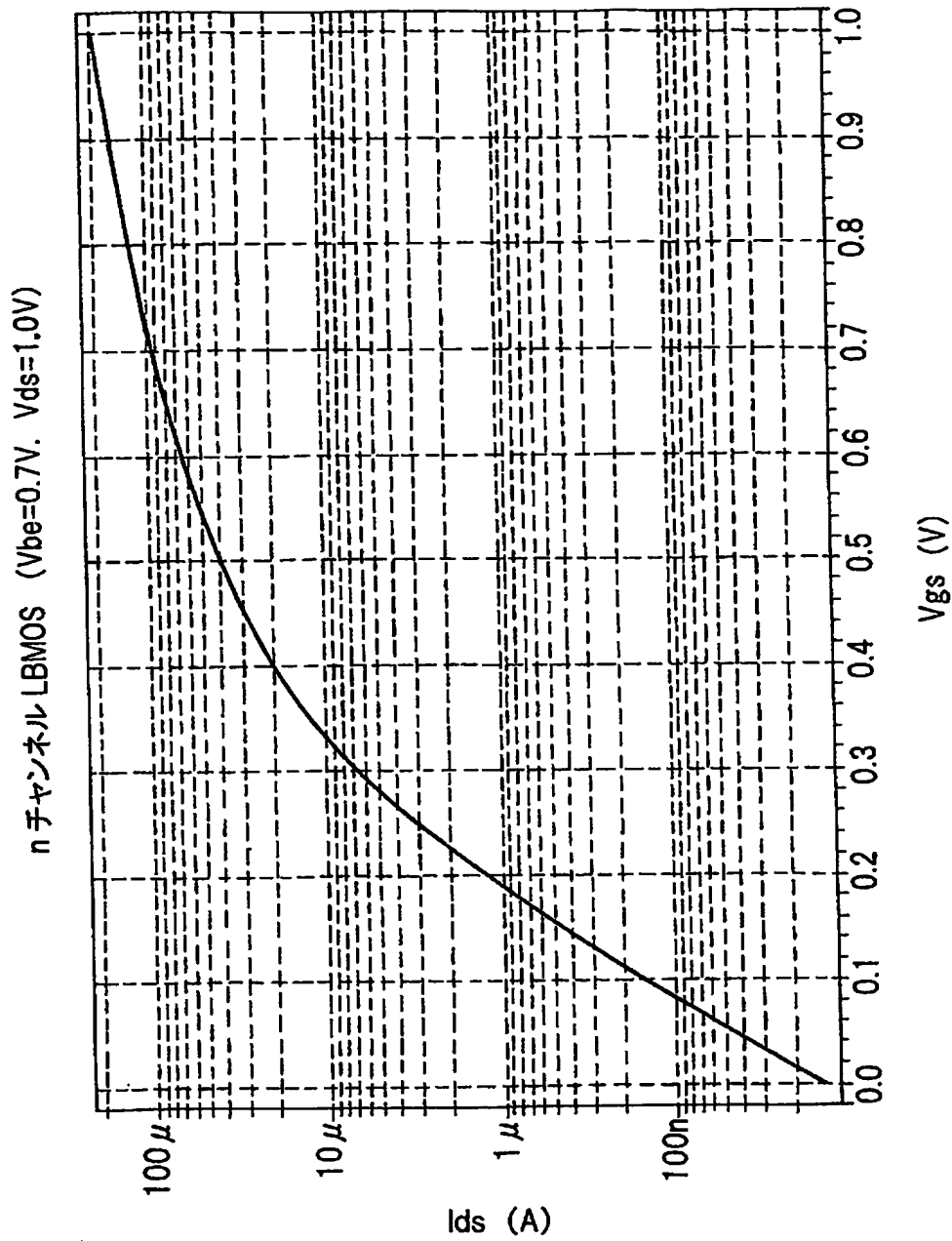
【図 17】



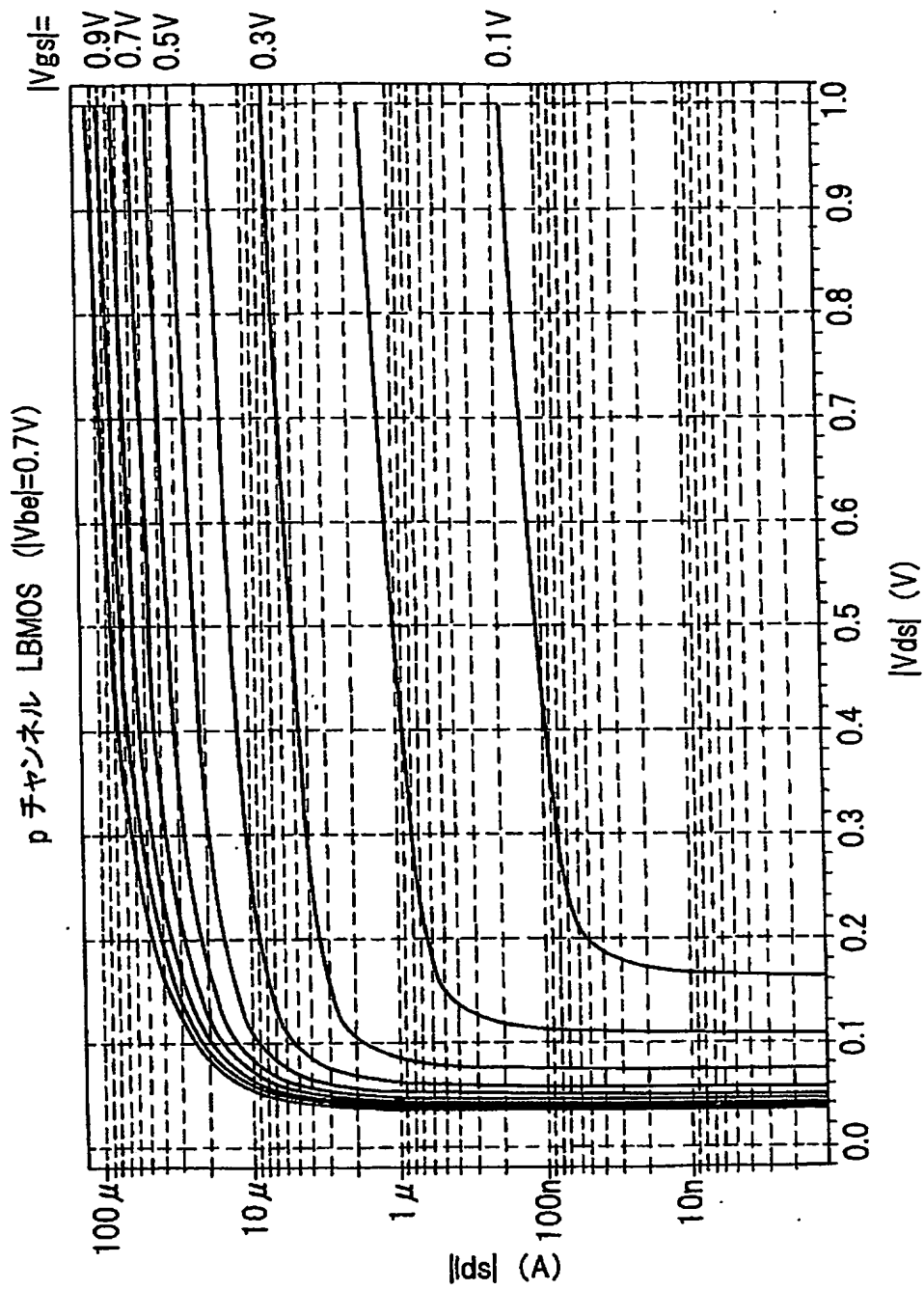
【図 18】



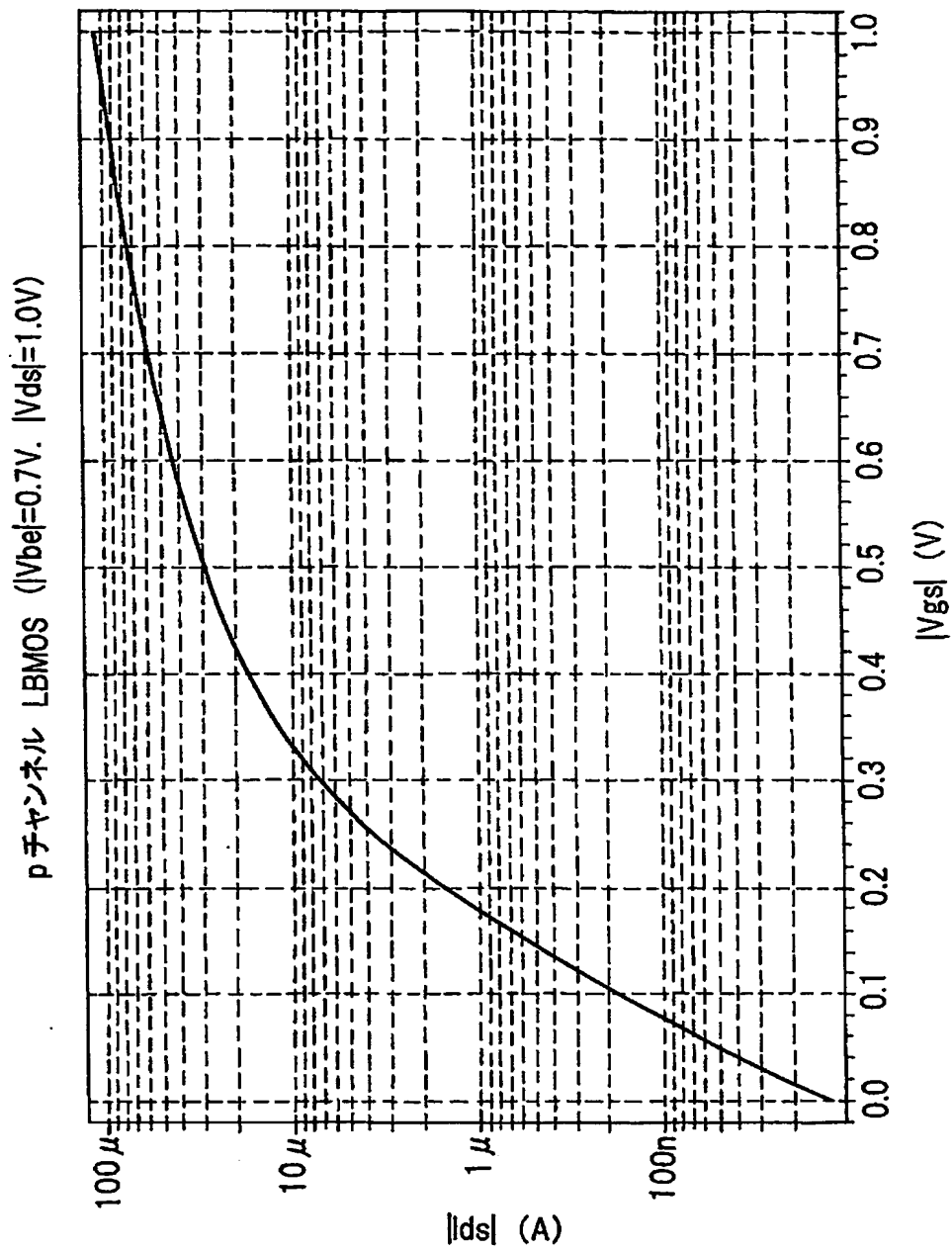
【図19】



【図 20】

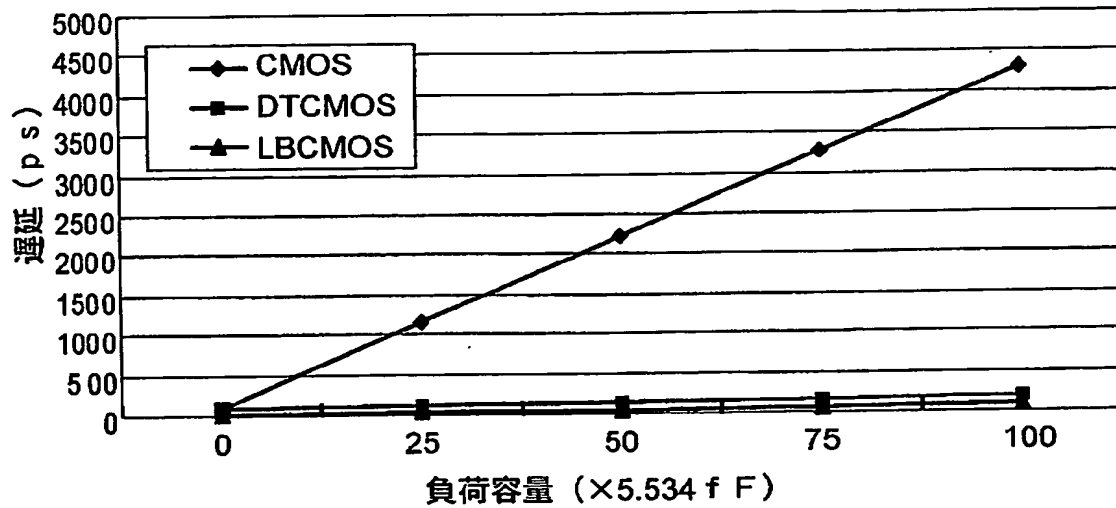


【図 21】

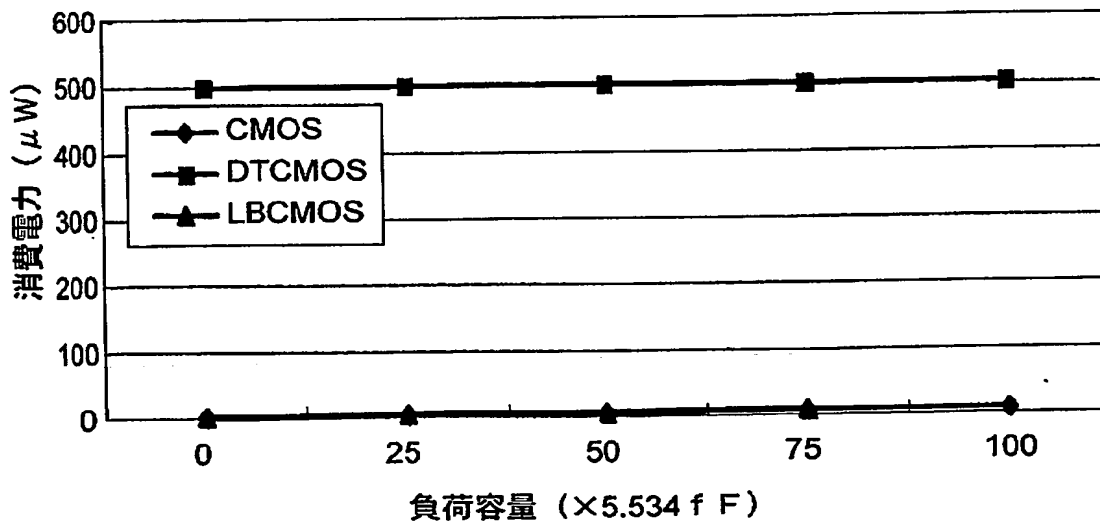


【図22】

(a) 電流源によるLBCMOSインバータの遅延
($V_{dd}=0.7V$, $I_{max}=75\mu A$, $T_h=100ps$)

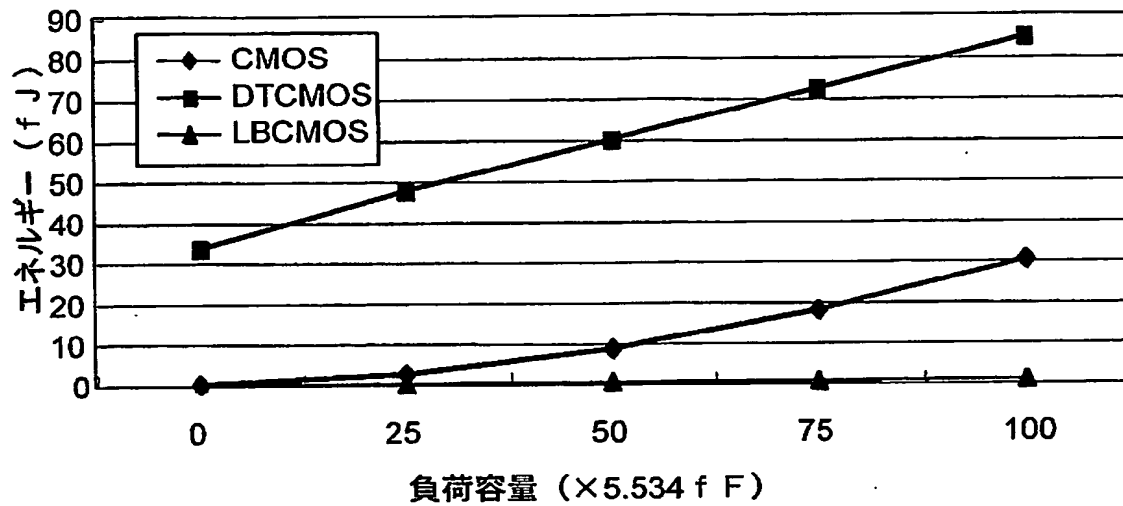


(b) 電流源によるLBCMOSインバータの消費電力
($V_{dd}=0.7V$, $I_{max}=75\mu A$, $T_h=100ps$)

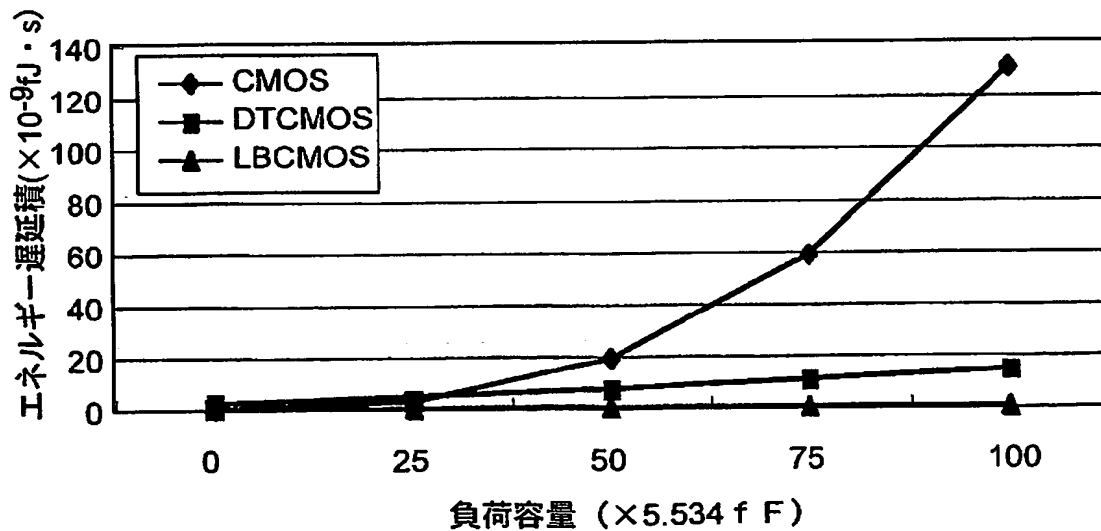


【図 2 3】

(a) 電流源によるLBCMOSインバータのエネルギー
($V_{dd}=0.7V$, $I_{max}=75\mu A$, $T_h=100ps$)

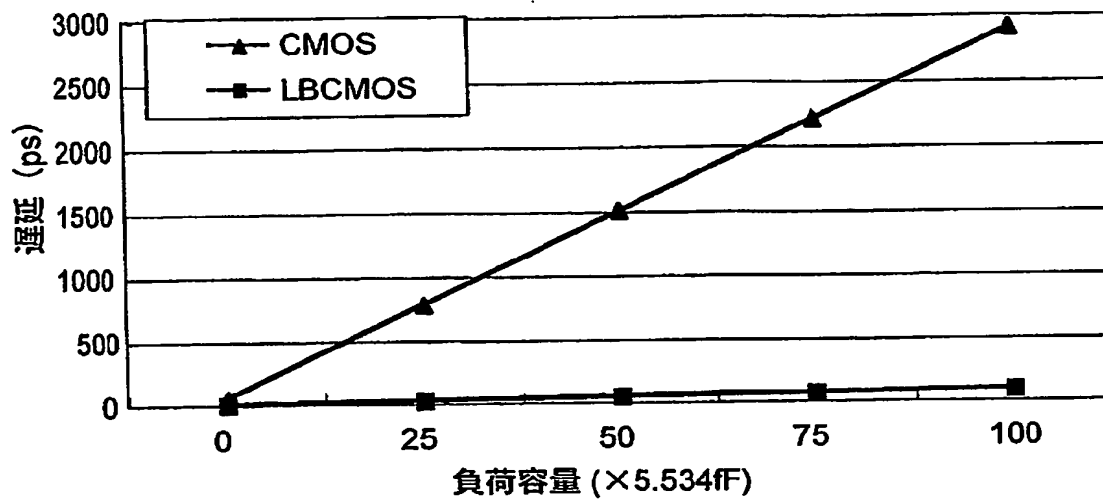


(b) 電流源によるLBCMOSインバータのエネルギー遅延積
($V_{dd}=0.7V$, $I_{max}=75\mu A$, $T_h=100ps$)

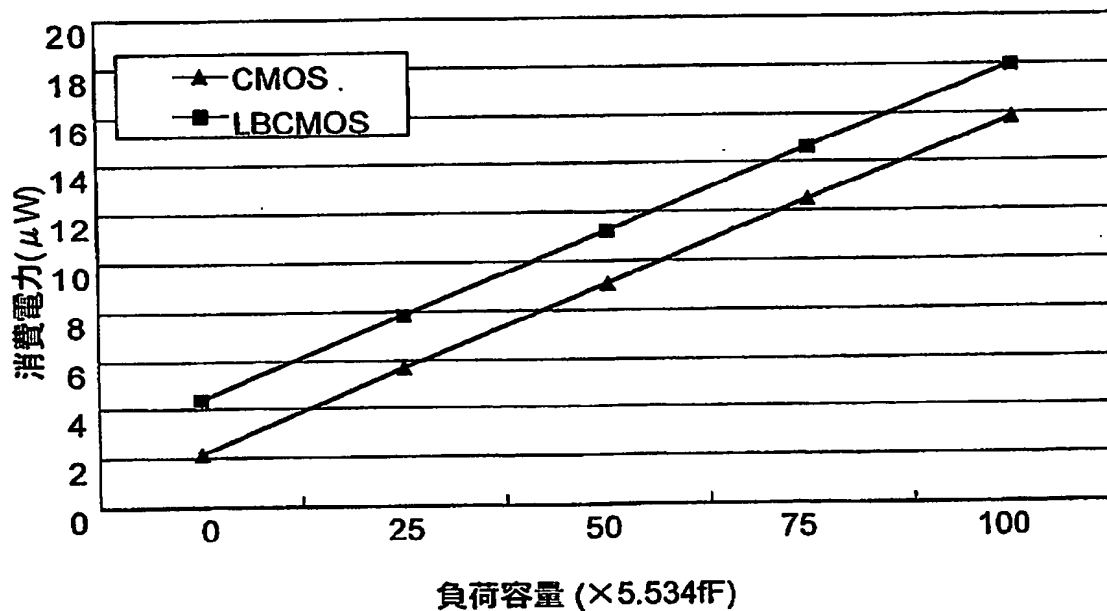


【図 24】

(a) 電流源によるLBCMOSインバータの遅延
($V_{dd}=1.0V$, $I_{max}=75\mu A$, $T_h=100ps$)

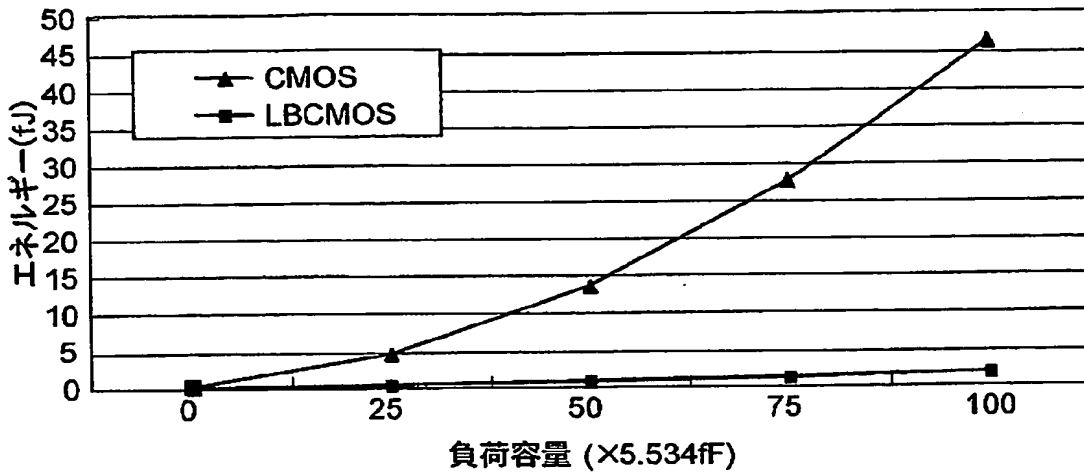


(b) 電流源によるLBCMOSインバータの消費電力
($V_{dd}=1.0V$, $I_{max}=75\mu A$, $T_h=100ps$)

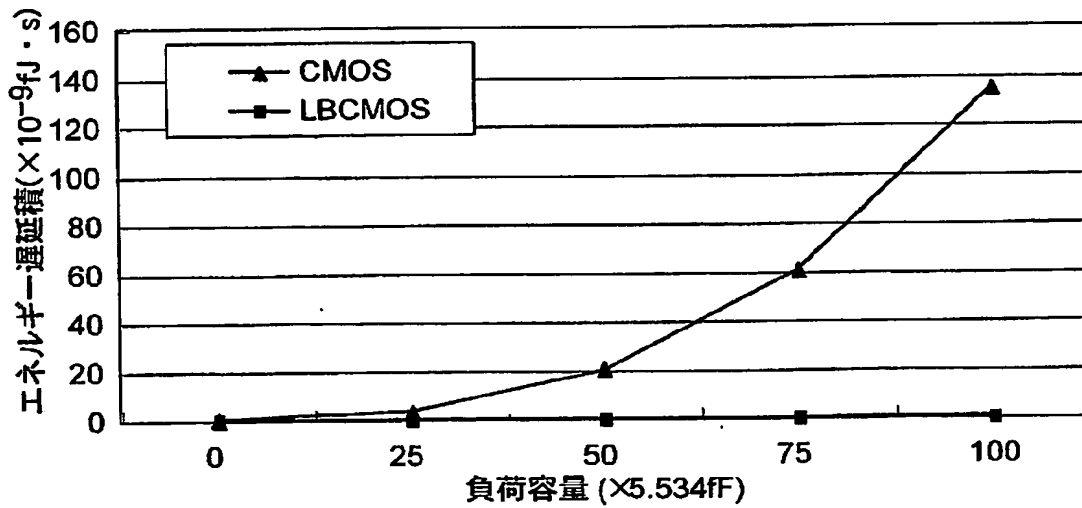


【図 2 5】

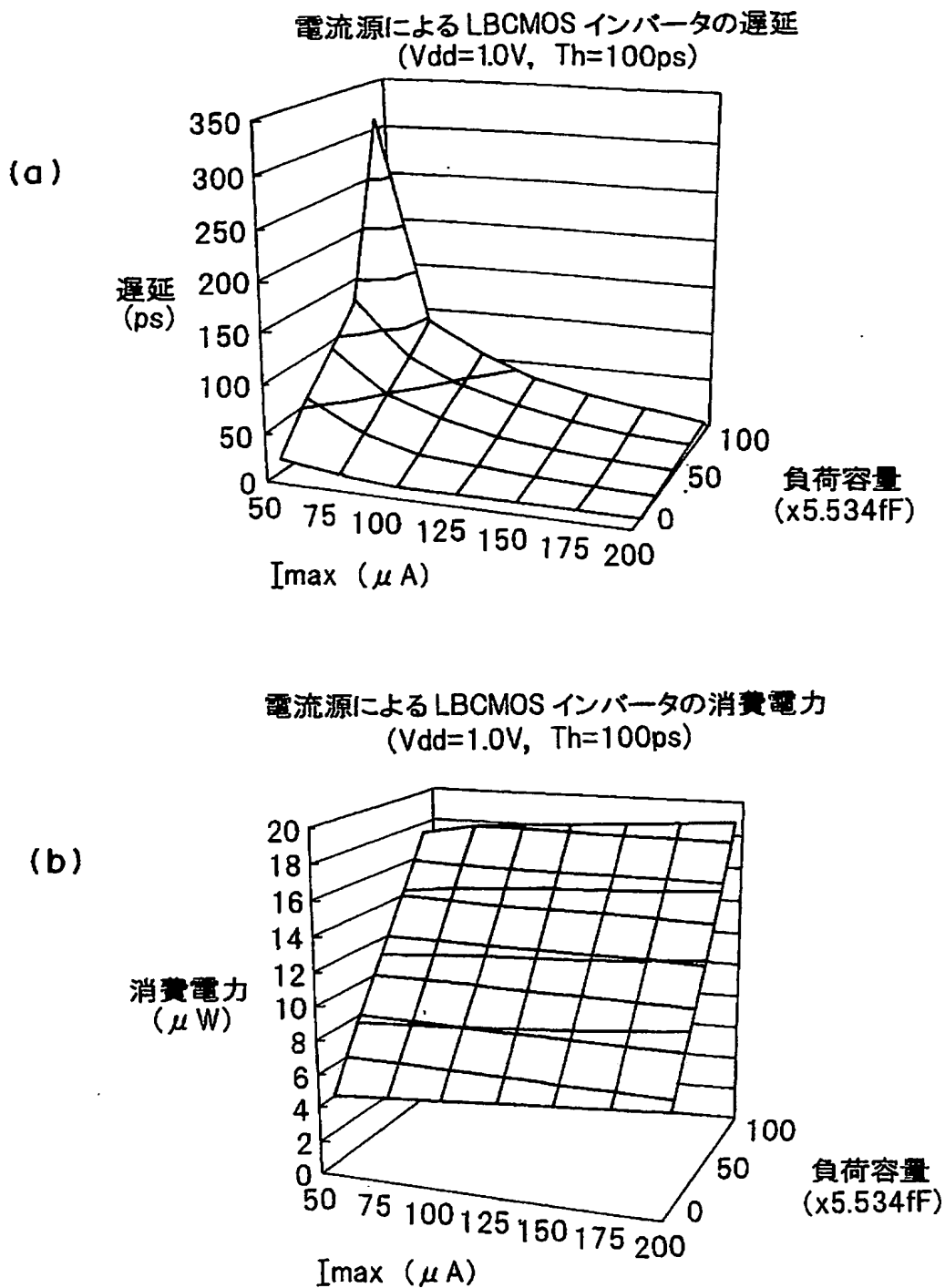
(a) 電流源によるLBCMOSインバータのエネルギー
($V_{dd}=1.0V$, $I_{max}=75\mu A$, $T_h=100ps$)



(b) 電流源による LBCMOSインバータのエネルギー遅延積
($V_{dd}=1.0V$, $I_{max}=75\mu A$, $T_h=100ps$)



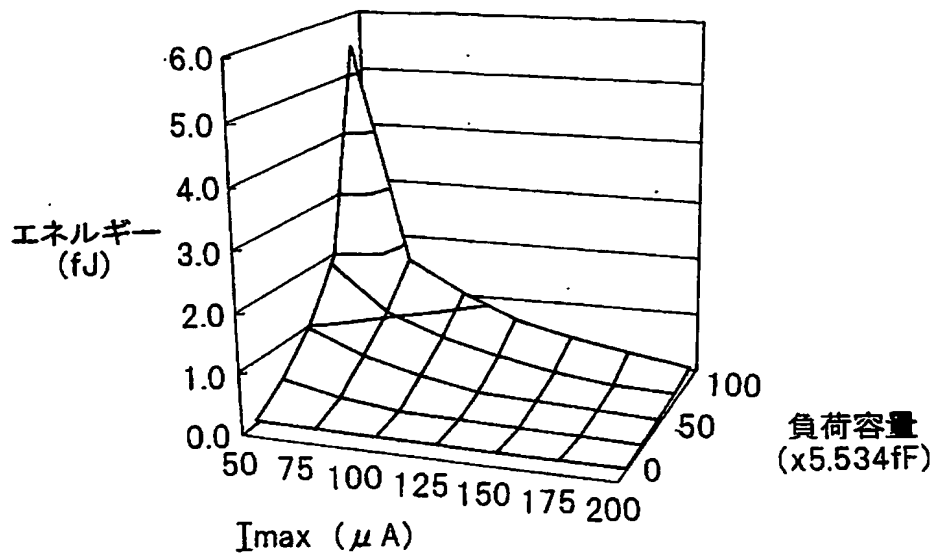
【図 26】



【図 27】

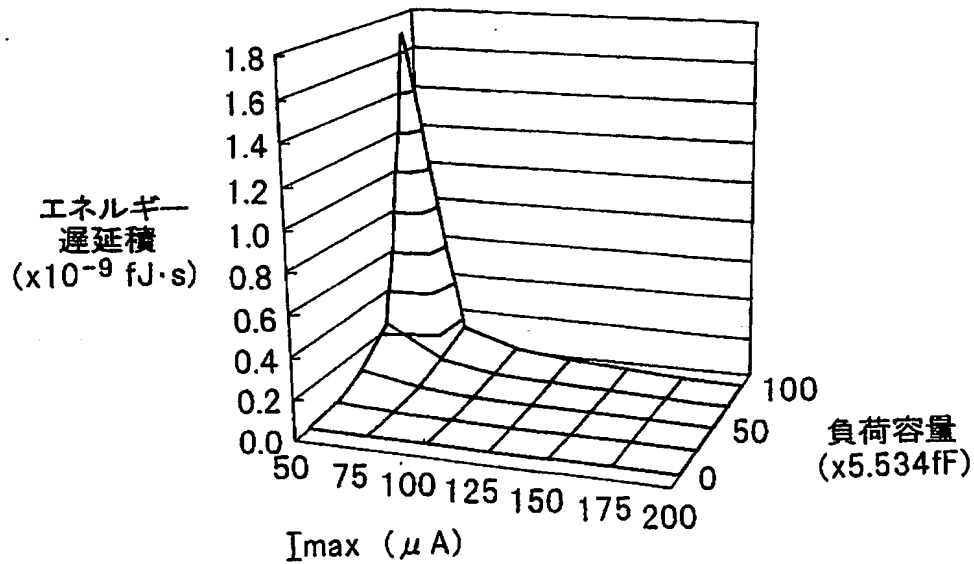
電流源による LBCMOS インバータのエネルギー
($V_{dd}=1.0V$, $T_h=100ps$)

(a)

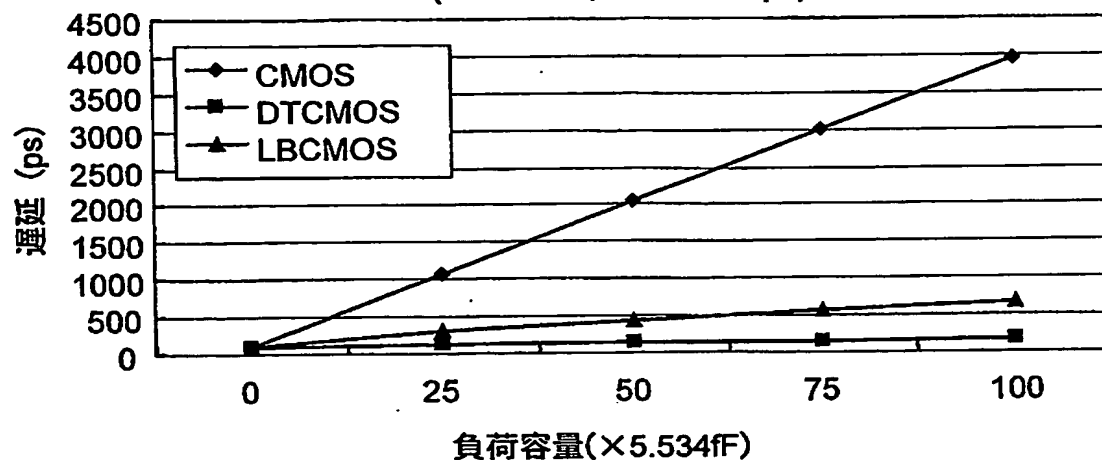
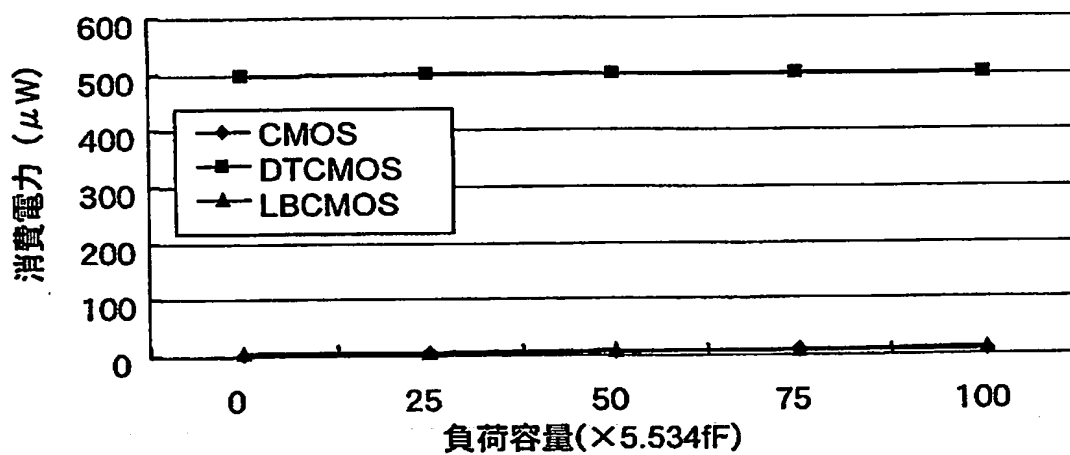


電流源による LBCMOS インバータの遅延積
($V_{dd}=1.0V$, $T_h=100ps$)

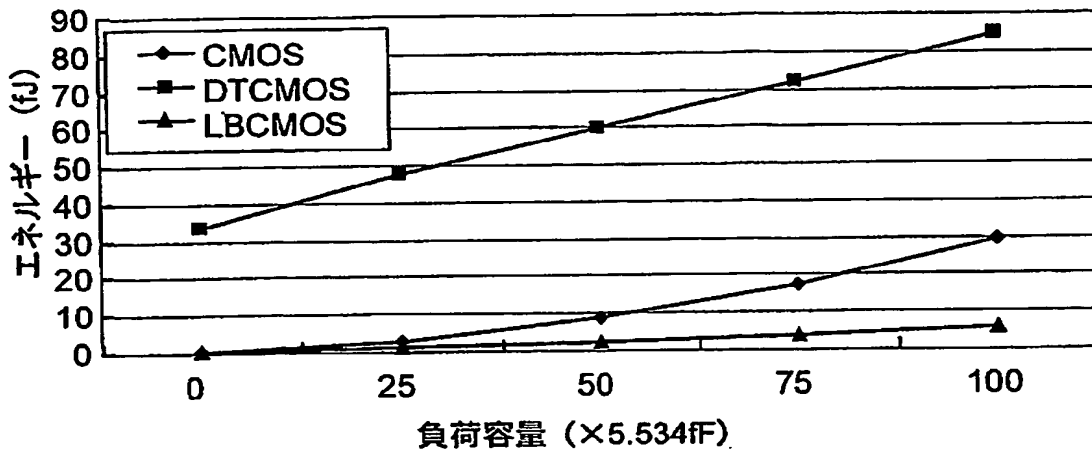
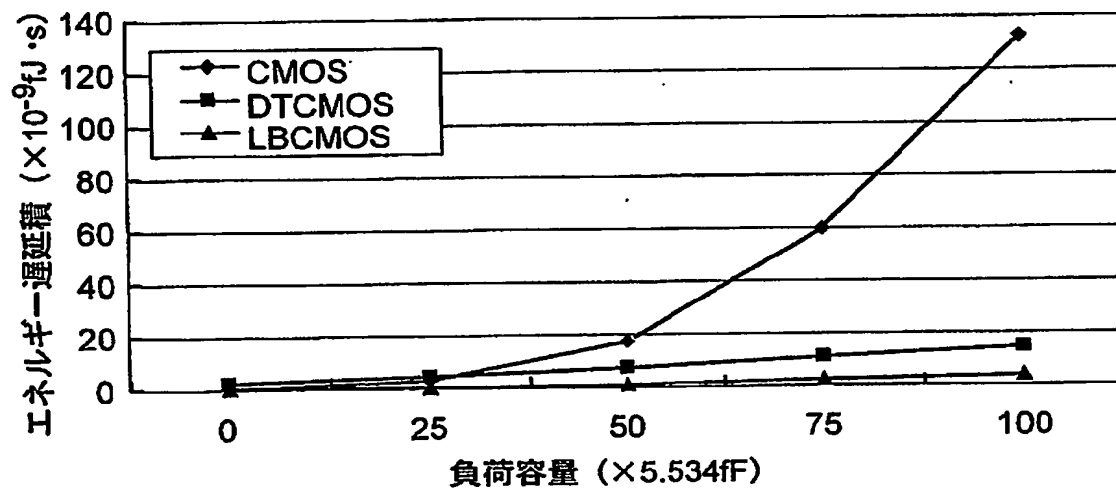
(b)



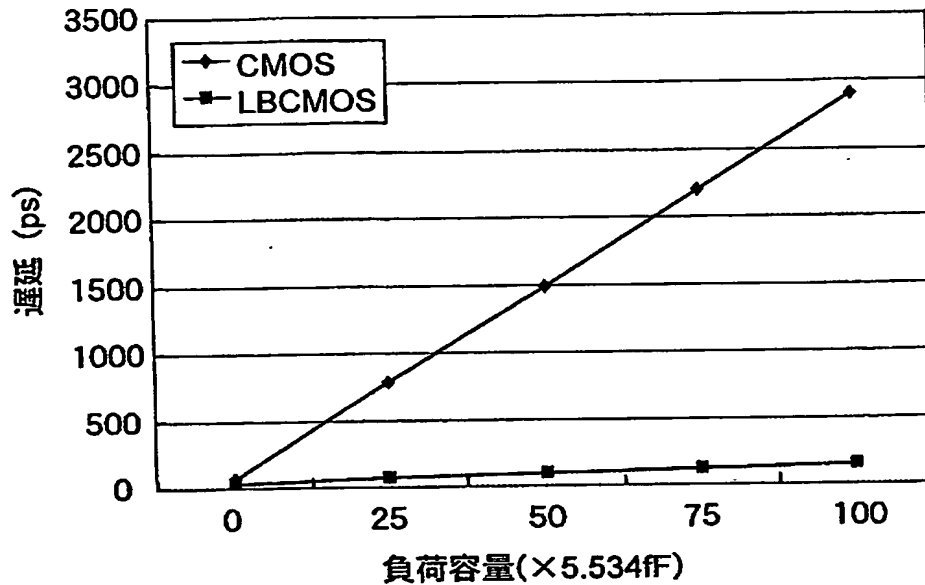
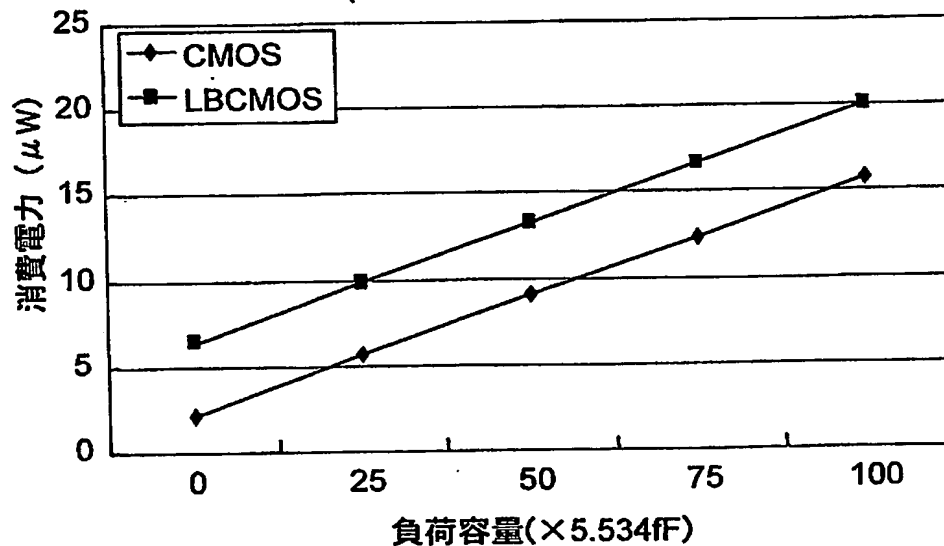
【図 28】

(a) ゲート電圧制御によるLBCMOSインバータの遅延
($V_{dd}=0.7V$, $T_h=T_l=700ps$)(b) ゲート電圧制御によるLBCMOSインバータの消費電力
($V_{dd}=0.7V$, $T_h=T_l=700ps$)

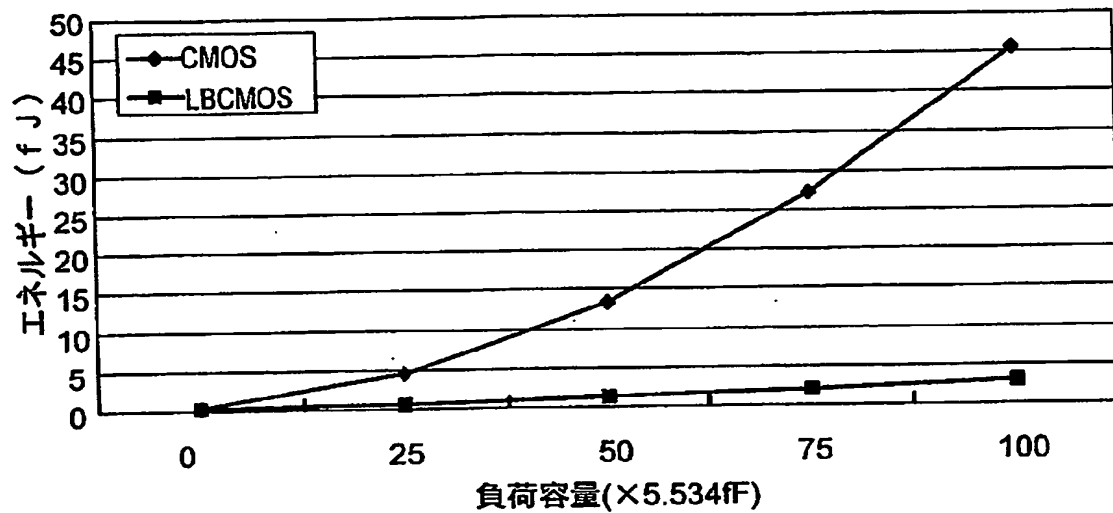
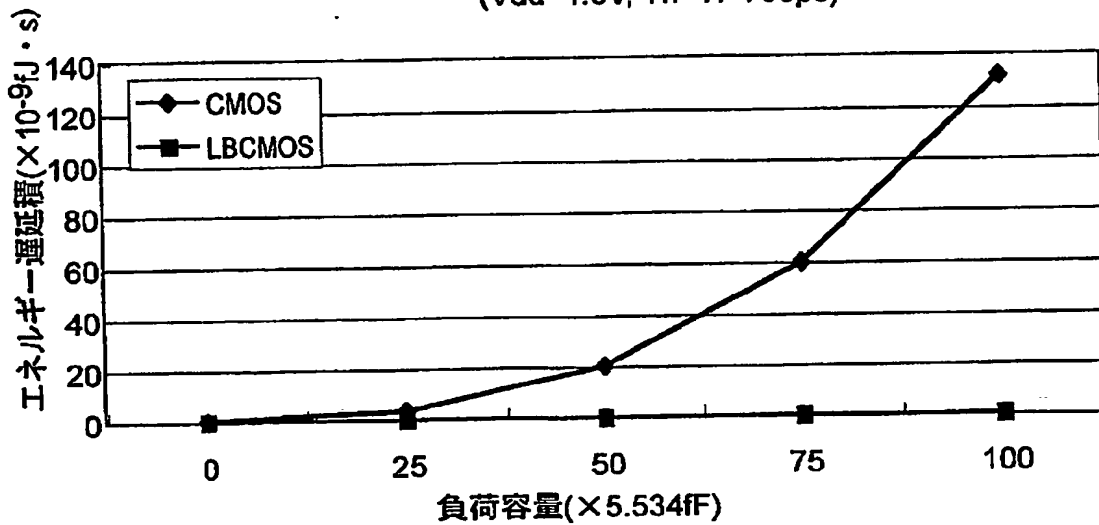
【図 29】

(a) ゲート電圧制御によるLBCMOSインバータのエネルギー
($V_{dd}=0.7V$, $T_h=T_l=700ps$)(b) ゲート電圧制御によるLBCMOSインバータのエネルギー遅延積
($V_{dd}=0.7V$, $T_h=T_l=700ps$)

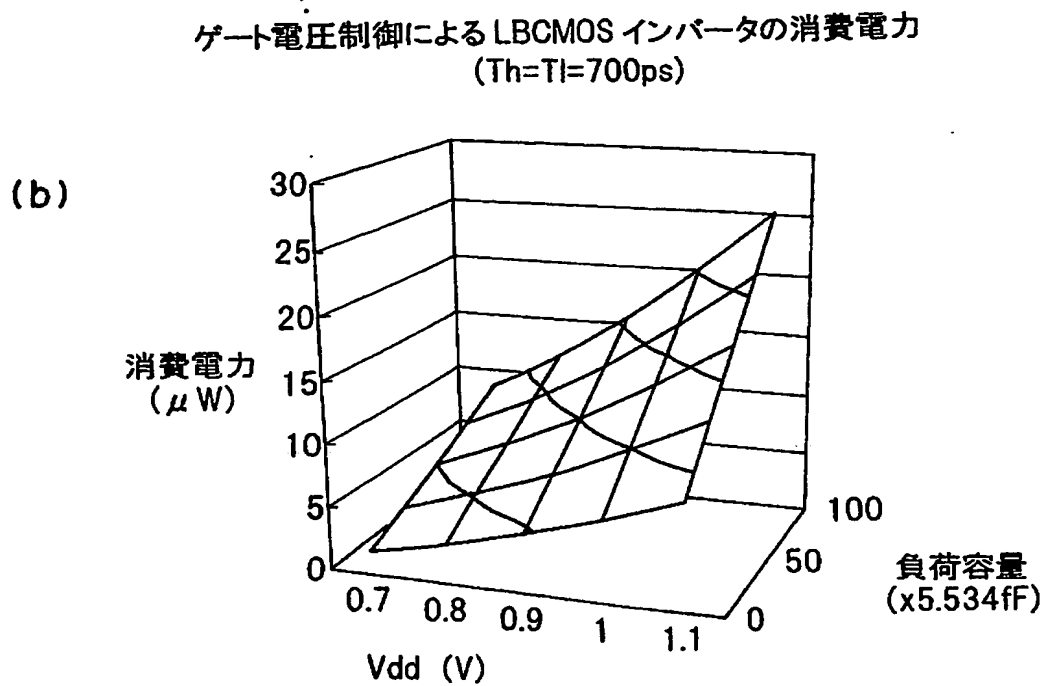
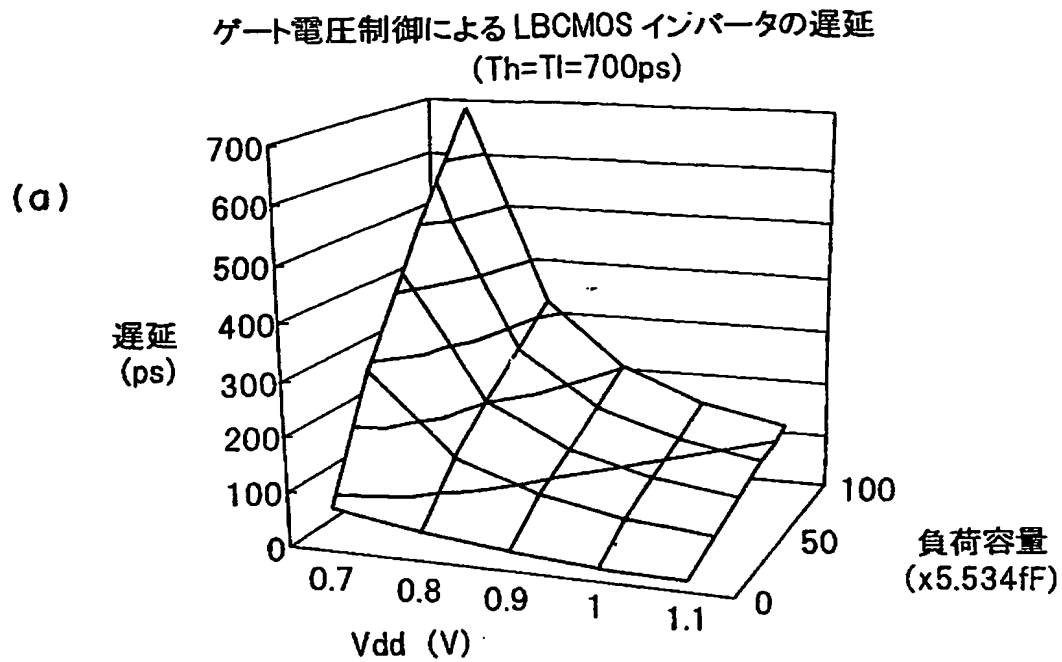
【図 30】

(a) ゲート電圧制御によるLBCMOSインバータの遅延
($V_{dd}=1.0V$, $T_h=T_l=700ps$)(b) ゲート電圧制御によるLBCMOSインバータの消費電力
($V_{dd}=1.0V$, $T_h=T_l=700ps$)

【図 3 1】

(a) ゲート電圧制御によるLBCMOSインバータのエネルギー
($V_{dd}=1.0V$, $T_h=T_l=700ps$)(b) ゲート電圧制御によるLBCMOSインバータのエネルギー遅延積
($V_{dd}=1.0V$, $T_h=T_l=700ps$)

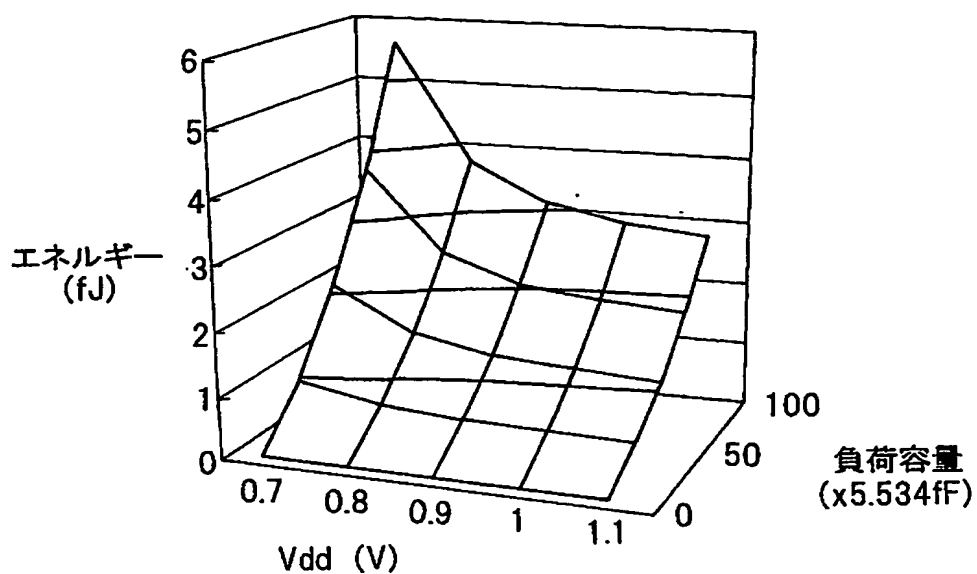
【図 3 2】



【図 3 3】

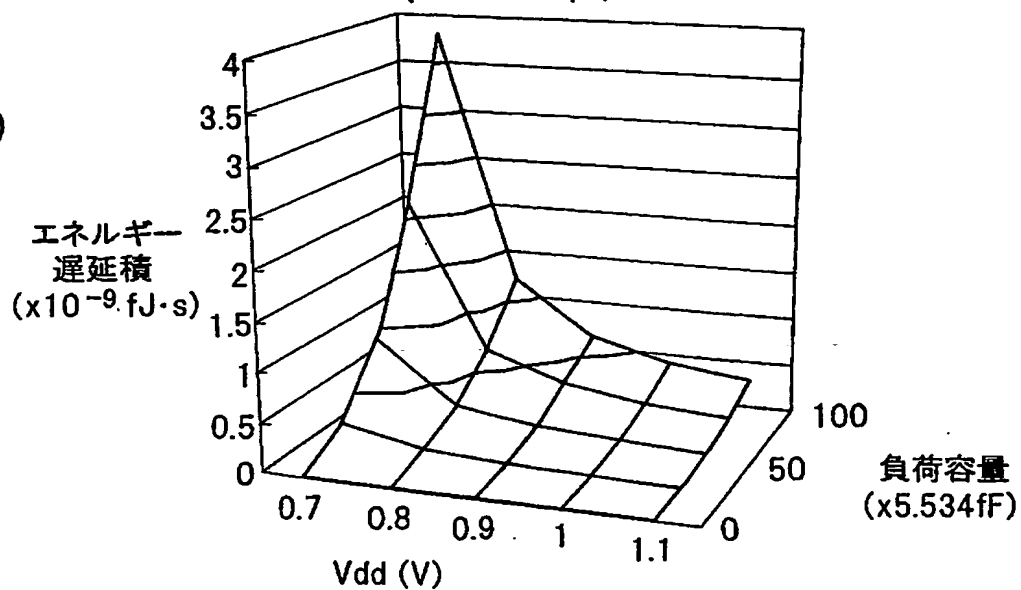
ゲート電圧制御による LBCMOS インバータのエネルギー
($T_h=T_l=700\text{ps}$)

(a)

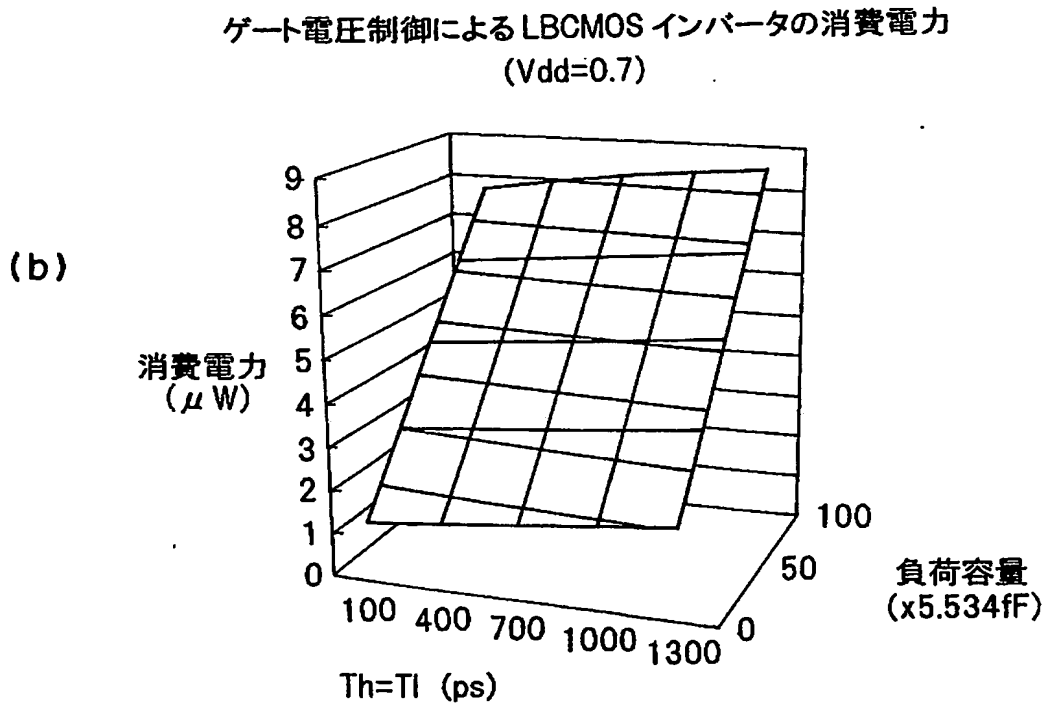
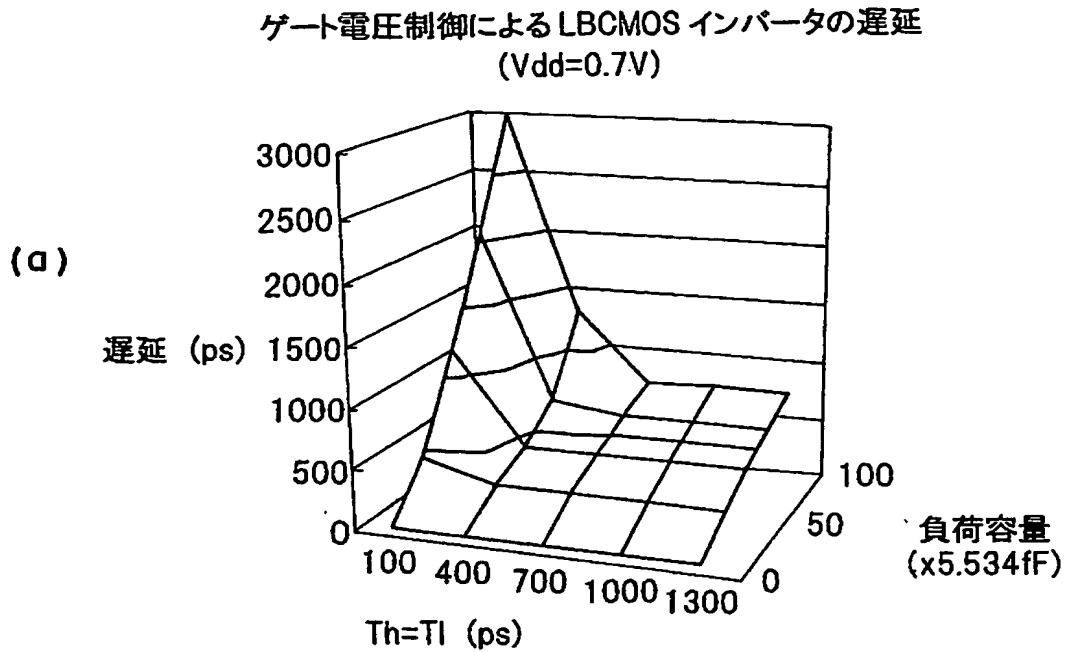


ゲート電圧制御による LBCMOS インバータのエネルギー遅延積
($T_h=T_l=700\text{ps}$)

(b)



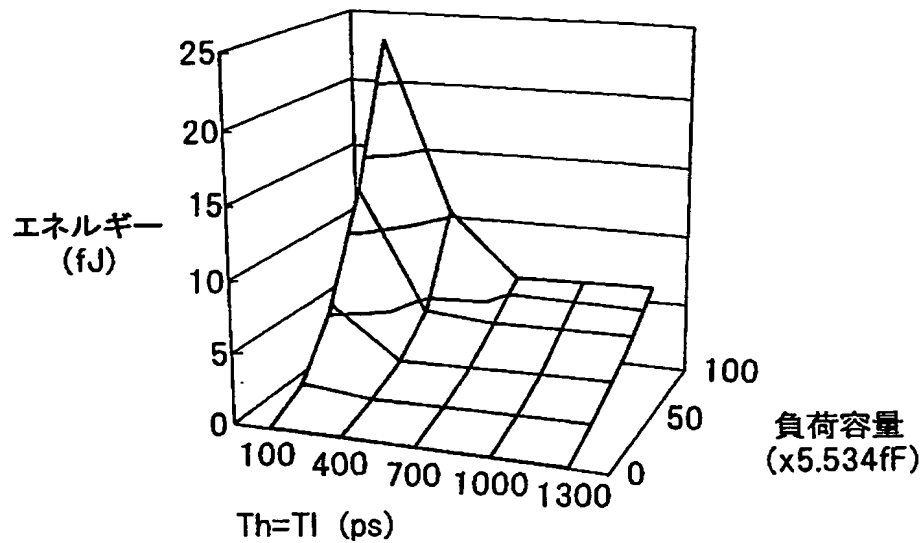
【図 3 4】



【図 35】

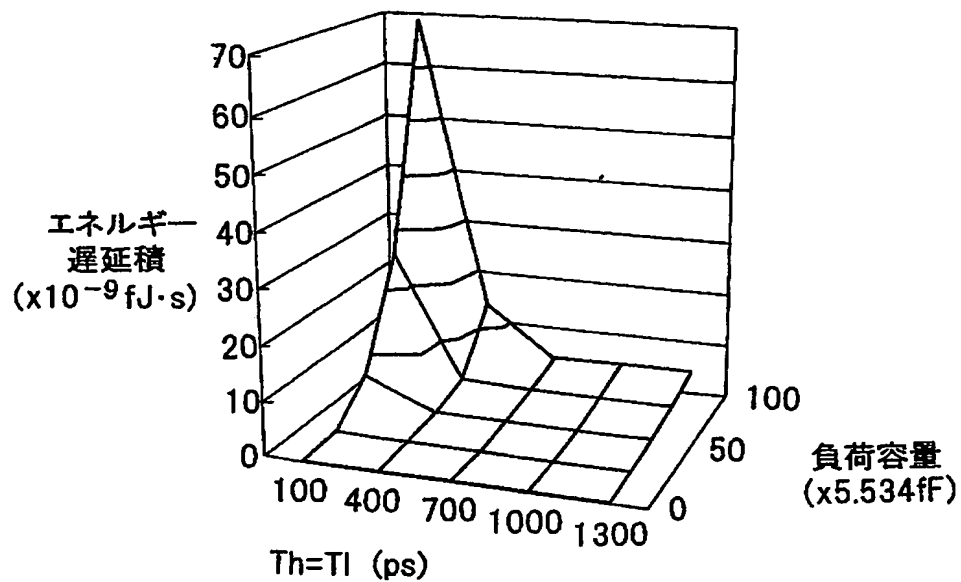
ゲート電圧制御による LBCMOS インバータのエネルギー
($V_{dd}=0.7V$)

(a)



ゲート電圧制御による LBCMOS インバータのエネルギー遅延積
($V_{dd}=0.7V$)

(b)



【書類名】 要約書

【要約】

【課題】 高速動作が可能で、かつ低エネルギーのCMOS集積回路を提供する。

【解決手段】 nチャネルMOSトランジスタ及びpチャネルMOSトランジスタのゲートに接続されたゲート入力端子 V_{in} と、ドレインに接続された出力端子 V_{out} と、nチャネルMOSトランジスタのp型サブストレートに接続されたp型ベース端子と、pチャネルMOSトランジスタのn型サブストレートに接続されたn型ベース端子の4つの端子を含み、nチャネルMOSトランジスタが、MOSトランジスタの動作モードと、nチャネルMOSトランジスタに内在するnpnラティラルバイポーラトランジスタの動作モードとの混合モードで動作し、pチャネルMOSトランジスタが、MOSトランジスタの動作モードと、pチャネルMOSトランジスタに内在するpnpラティラルバイポーラトランジスタの動作モードとの混合モードで動作する。

【選択図】 図1

特願 2003-095116

出 願 人 履 歴 情 報

識別番号

[801000061]

1. 変更年月日
[変更理由]

住 所
氏 名

2001年 9月13日

新規登録

大阪府大阪市中央区本町橋2番5号 マイドームおおさか内
財団法人大阪産業振興機構

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.